
第 6 章 発振器

ハイライト

本章では次のトピックについて説明します。

6.1	はじめに.....	6-2
6.2	CPU クロックの仕組み.....	6-3
6.3	発振器のコンフィギュレーション.....	6-3
6.4	制御レジスタ.....	6-5
6.5	主発振器 (POSC).....	6-10
6.6	フェーズ ロック ループ (PLL).....	6-14
6.7	低消費電力副発振器 (SOSC).....	6-15
6.8	内蔵高速 RC 発振器 (FRC).....	6-16
6.9	内蔵低消費電力 RC 発振器 (LPRC).....	6-16
6.10	フェール セーフ クロック モニタ (FSCM).....	6-17
6.11	クロック切り替え操作.....	6-18
6.12	2 速度スタート アップ.....	6-21
6.13	AC 電氣的仕様.....	6-22
6.14	設計の秘訣.....	6-23
6.16	関連するアプリケーション ノート.....	6-25
6.17	改版履歴.....	6-26

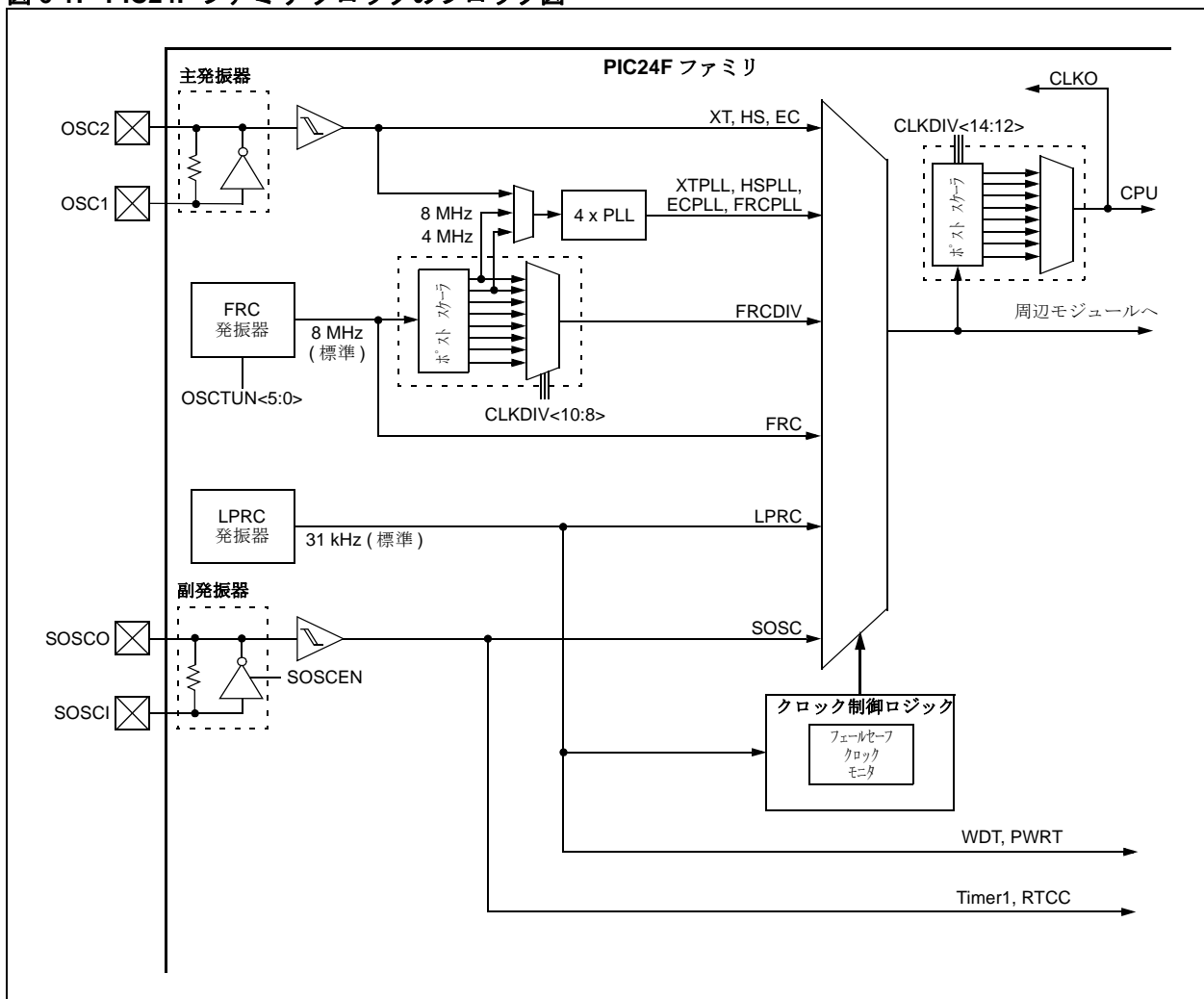
6.1 はじめに

この章では PIC24F の発振器システムとその動作について述べます。PIC24F 発振器システムは次のようなモジュールと特徴を持っています。

- クロック源として全部で 4 つの外部と内部の発振器オプションを持ち 11 通りのクロックモードを提供する
- 選択した内部または外部クロック源に対して内部動作周波数を上げるための 4x PLL も持つ
- 多様なクロック源に対してソフトウェア制御可能な切り替え
- システムの省電力化のために CPU クロックを選択するソフトウェア制御可能なポストスケーラ
- クロック異常を検知し、安全にアプリケーションをリカバーするか、あるいはシャットダウンすることができるフェールセーフクロックモニタ (FSCM)

発振器システムの簡略化ブロック図を図 6-1 に示します。

図 6-1: PIC24F ファミリクロックのブロック図



6.2 CPU クロックの仕組み

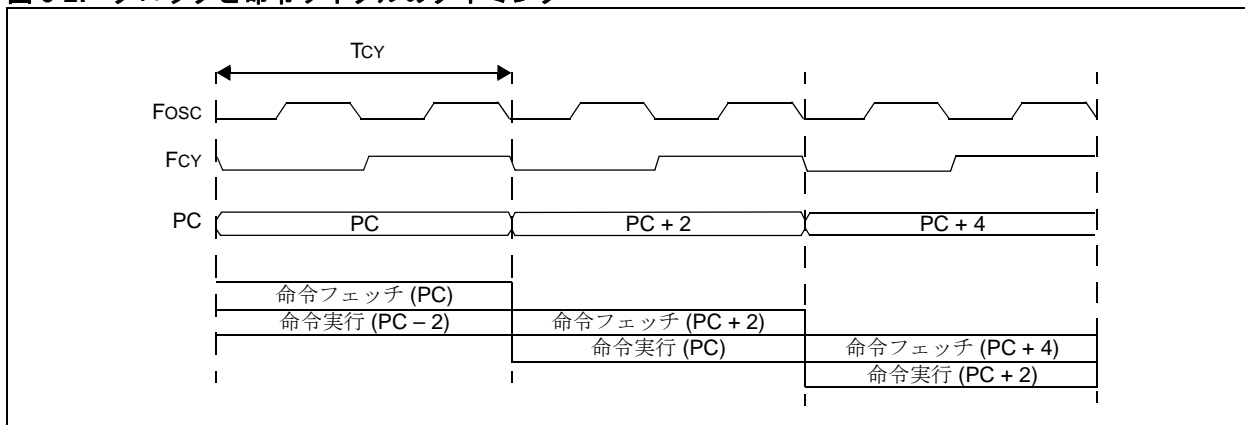
システムクロック源として次の4つのうちひとつを提供します。

- OSC1 と OSC2 ピンによる主発振器 (POSC)
- SOSCI と SOSCO ピンによる副発振器 (SOSC)
- 内蔵高速 RC 発振器 (FRC)
- 内蔵低消費電力 RC 発振器 (LPRC)

主発振器と FRC のソースは内蔵の 4x PLL を使用するオプションを持っています。FRC クロック源の周波数はオプションとしてプログラマブルなクロック分周器により下げることができます。選択したクロック源から、プロセッサと周辺モジュール用のクロックを生成します。

プロセッサ用クロック源は 2 分周されて内部の命令サイクルのクロック Fcy を生成します。本文書では、命令サイクルクロックは Fosc/2 と表現しています。図 6-2 のタイミング図は、プロセッサクロック源と命令実行の関係を示しています。内部命令サイクルクロック Fosc/2 は、主発振器のいくつかの動作モードのために OSC2 I/O ピンにも供給されます。

図 6-2: クロックと命令サイクルのタイミング



6.3 発振器のコンフィギュレーション

デバイスのパワーオンリセット時に用いられる発振源（および動作モード）は、コンフィギュレーションビットの設定を使用して選択します。発振器コンフィギュレーションビットは、プログラムメモリ内にあるコンフィギュレーションレジスタ内に配置されています（詳しくは個別製品のデータシートを参照して下さい）。主発振器コンフィギュレーションビット POSCMD1:POSCMD0（コンフィギュレーションワード 2<1:0>）と、発振器コンフィギュレーションビット FNOSC2:FNOSC0（コンフィギュレーションワード 2<10:8>）は、パワーオンリセット時に用いる発振源を選択します。ポストスケーラ (FRCDIV) 付き FRC 発振器がデフォルトの選択（未プログラムのとき）です。副発振器もしくは内蔵発振器の1つを、これらのコンフィギュレーションビットをプログラムすることで選択できます。

コンフィギュレーションビットにより、表 6-1 に示すように 11 の異なるクロックモードからユーザーが選択できます。

表 6-1: クロック選択のためのコンフィギュレーションビット値

発振モード	発振源	POSCMD1: POSCMD0	FNOSC2: FNOSC0	注
ポスト スケーラ (FRCDIV) 付き 高速 RC 発振器	内蔵	xx	111	1, 2
(予約)	内蔵	xx	110	1
低消費電力 RC 発振器 (LPRC)	内蔵	xx	101	1
副 (タイマ 1) 発振器 (SOSC)	副	xx	100	1
PLL モジュール付き (HSPLL) 主発振器 (HS)	主	10	011	
PLL モジュール付き (XTPLL) 主発振器 (XT)	主	01	011	
PLL モジュール付き (ECPLL) 主発振器 (EC)	主	00	011	
主発振器 (HS)	主	10	010	
主発振器 (XT)	主	01	010	
主発振器 (EC)	主	00	010	
PLL モジュール付き (FRCPLL) 高速 RC 発振器	内蔵	xx	001	1
高速 RC 発振器 (FRC)	内蔵	xx	000	1

注 1: OSC2 ピンの機能は OSCIOFCN コンフィギュレーションビットで決定される。

注 2: デフォルトの発振モードとは未プログラム (消去) デバイスに対してのもの。

6.3.1 クロック切り替えモード コンフィギュレーションビット

FCKSM コンフィギュレーションビット (コンフィギュレーションワード 2<7:6>) は、デバイス クロック切り替えと、フェールセーフ クロック モニタ (FSCM) の制御に併せて使用されます。クロック切り替えは、FCKSM1 が「0」にプログラムされているときだけ有効となります。FSCM は、FCKSM1:FCKSM0 が「00」にプログラムされたときだけ有効となります。

6.3.2 クリスタル発振モードでないときの OSC1 と OSC2 ピンの機能

クロック源として OSC1 と OSC2 による主発振器を構成しない場合 (POSCMD1:POSCMD0 = 11)、OSC1 ピンは自動的にデジタル I/O として再構成されます。この構成では、主発振器が EC モードに構成された場合 (POSCMD1:POSCMD0 = 00) と同様に、OSCIOFCN コンフィギュレーションビット (コンフィギュレーションワード 2<5>) をプログラムすることで、OSC2 ピンもデジタル I/O として構成することができます。

OSCIOFCN がプログラムされない場合 (「1」のとき) は、Fosc/2 クロック出力がテストあるいは同期化の目的のために OSC2 ピンに出力されます。OSCIOFCN をプログラムした場合 (「0」のとき) は、OSC2 ピンは汎用の I/O ピンとなります。どちらの構成の場合でも、OSC1 と OSC2 間のフィードバック デバイスは電流節約のためオフとなります。

6.4 制御レジスタ

発振器の動作は、次の3つの特殊機能レジスタで制御されます。

- OSCCON
- CLKDIV
- OSCTUN

6.4.1 発振器制御レジスタ (OSCCON)

OSCCON レジスタ (レジスタ 6-1) は、発振器の主制御レジスタです。これによりクロック源の切り替え、クロック源のモニタ有効化が制御できます。

COSC ステータス ビットは読み出し専用で、現状のデバイス動作の発振源を表しています。電源オンリセット時またはマスタクリアリセット時の COSC ビットのデフォルトは、ポストスケラつき内蔵高速 RC 発振器 (FRCDIV) で、4 MHz に構成されます。クロック切り替えが自動的に行われ、FNOSC コンフィギュレーション ビット (コンフィギュレーションワード 2<10:8>) により選択された新発振源に切り替わります。COSC ビットは、クロック切り替え動作の最後で新発振源を示す値に変わります。

NOSC ステータス ビットは次のクロック切り替え先のクロック源を選択します。電源オンリセットまたはマスタクリアリセット時に、これらのビットで自動的に FNOSC コンフィギュレーション ビットで指定した発振源を選択します。これらのビットはソフトウェアで変更できます。

注 : OSCCON を書き込む前にアンロックシーケンスを実行する必要があります。さらなる情報については 6.11.2 項 「発振器切替シーケンス」を参照して下さい。

FCKSM1 コンフィギュレーション ビットがセットされている場合に CLKLOCK ビット (OSCCON<7>) をセットするとクロック切り替えを保護します。

LOCK ステータス ビット (OSCCON<5>) は読み出し専用で、PLL 回路の状態を表します。PLL が周波数をロックした場合セットされ、有効なクロック切替シーケンスが起動されるとリセットされます。PLL が現状のクロック源の一部として未使用の場合には読むと常に「0」です。

CF ステータス ビット (OSCCON<3>) は、読み出し/クリア設定可能なステータス ビットで、クロックの異常を表します。有効なクロックへの切り替えが発生したときには常にリセットされます。

SOSCEN 制御ビット (OSCCON<0>) は、32 kHz SOSC クリスタル発振器の有効化、無効化に使用されます。

OSWEN 制御ビット (OSCCON<0>) は、クロック切り替え動作の起動に使用されます。OSWEN はクロック切り替えが正常に完了または、冗長クロックへの切り替え、FSCM モジュールによる FRC への切り替え完了により自動的にクリアされます。

レジスタ 6-1: OSCCON: 発振器制御レジスタ

U-0	R-0	R-0	R-0	U-0	R/W-x ⁽¹⁾	R/W-x ⁽¹⁾	R/W-x ⁽¹⁾
—	COSC2	COSC1	COSC0	—	NOSC2	NOSC1	NOSC0
ビット 15							ビット 8

R/SO-0	U-0	R-0 ⁽²⁾	U-0	R/CO-0	U-0	R/W-0	R/W-0
CLKLOCK	—	LOCK	—	CF	—	SOSCEN	OSWEN
ビット 7							ビット 0

凡例:	U = 未実装、読むと「0」
R = 読み出し可	W = 書き込み可
CO = クリアのみ可	SO = セットのみ可
-n = リセット時の値	'1' = セット
	'0' = クリア
	x = 不定

ビット 15 未実装: 読むと「0」

ビット 14-12 COSC2:COSC0: 現在の発振器選択ビット

- 111 = 高速 RC 発振器、ポスト スケーラつき (FRCDIV)
- 110 = 予約
- 101 = 低電力 RC 発振器 (LPRC)
- 100 = 副発振器 (SOSC)
- 011 = 主発振器、PLL モジュールつき (XTPLL、HSPLL、ECPLL)
- 010 = 主発振器 (XT、HS、EC)
- 001 = 高速 RC 発振器、ポストスケーラによる PLL モジュールつき (FRCPLL)⁽³⁾
- 000 = 高速 RC 発振器 (FRC)

ビット 11 未実装: 読むと「0」

ビット 10-8 NOSC2:NOSC0: 新発振器選択ビット

- 111 = 高速 RC 発振器、ポスト スケーラつき (FRCDIV)
- 110 = 予約
- 101 = 低消費電力 RC 発振器 (LPRC)
- 100 = 副発振器 (SOSC)
- 011 = 主発振器、PLL モジュールつき (XTPLL、HSPLL、ECPLL)
- 010 = 主発振器 (XT、HS、EC)
- 001 = 高速 RC 発振器、ポストスケーラによる PLL モジュールつき (FRCPLL)⁽³⁾
- 000 = 高速 RC 発振器 (FRC)

ビット 7 CLKLOCK: クロック選択ロック有効化ビット

- FSCM が有効な場合 (FCKSM1 = 1)
- 1 = クロックと PLL 選択はロックされる
- 0 = クロックと PLL 選択はロックされず、OSWEN ビット設定で変更可能
- FSCM が無効の場合 (FCKSM1 = 0)
- クロックと PLL 選択はロックされることなく、OSWEN ビットの設定で変更可能

ビット 6 未実装: 読むと「0」

ÉrÉbÉg5 LOCK: PLL ロック ステータス ビット

- 1 = PLL モジュールがロックされているか、PLL モジュール開始タイマが完了した
- 0 = PLL モジュールがロックがされていないか、PLL 開始タイマが実行中で PLL は無効

ビット 4 未実装: 読むと「0」

ビット 3 CF: クロック異常検出ビット

- 1 = FSCM がクロック異常を検知した
- 0 = クロック異常は検知されていない

ビット 2 未実装: 読むと「0」

注 1: これらのビットのリセット時の値は、FNOSC コンフィギュレーション ビットで決定される。
 2: クロック切り替え中、あるいは PLL 未使用のクロック モード選択時には常に「0」にリセットされます。
 3: 4 MHz と 8 MHz FRC ポスト スケーラ オプションと併用時のみ有効です。

レジスタ 6-1: OSCCON: 発振器制御レジスタ (続き)

- ビット 1 SOSSEN: 32 kHz 副発振器 (SOSC) 有効化ビット
1 = 副発振器を有効化
0 = 副発振器を無効化
- ビット 0 OSWEN: 発振器切り替え有効化ビット
1 = NOSC2:NOSC0 ビットで選択された発振器への切り替えを起動
0 = 発振器切り替えは完了

注 1: これらのビットのリセット時の値は、FNOSC コンフィギュレーション ビットで決定される。

2: クロック切り替え中、あるいは PLL 未使用のクロック モード選択時には常に「0」にリセットされます。

3: 4 MHz と 8 MHz FRC ポスト スケーラ オプションと併用時のみ有効です。

6.4.2 クロック分周レジスタ (CLKDIV)

クロック分周レジスタ (レジスタ 6-2) は、FRC 発振器のポスト スケーラと同様に、ダズモードに関する機能を制御します。

ROI ビット (CLKDIV<15>) により、割り込みによりダズモードから抜け出るのを有効化し、自動的にプロセッサと周辺モジュール用クロックを 1:1 の比とします。DOZEN ビット (CLKDIV<11>) は、DOZE モードを抜けた後クリアされます。ROI ビットをクリアすると、割り込みにより DOZE モードから抜け出るのを防ぎます。

DOZE ビット (CLKDIV<14:12>) は、周辺モジュールのクロックに対するプロセッサのクロックの比を選択します。選択範囲は 1:1 ~ 1:128 の間でソフトウェアで選択できます。マスタクリアと電源オンリセットによるデフォルトは 1:1 です。この機能により、周辺モジュールの動作を乱すことなく CPU の消費電力を減らすことができます。

DOZEN ビットをセットすると、デバイスを DOZE モードとし、プロセッサのクロック ポスト スケーラを使用します。ROI ビットがセットされていて割り込みが発生すると、このビットはクリアされます。

RCDIV ビット (CLKDIV<10:8>) は、FRC 発振器出力のポスト スケーラ オプションの選択をし、ユーザーが通常の 8 MHz より低い周波数のクロックを選択できるようにします。このオプションについては、6.8.2 項「FRC ポスト スケーラ モード (FRCDIV)」と 6.8.3 項「PLL モードの FRC 発振器 (FRCPLL)」でさらに詳細に説明しています。

レジスタ 6-2: CLKDIV: クロック分周レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
ROI	DOZE2	DOZE1	DOZE0	DOZEN ⁽¹⁾	RCDIV2	RCDIV1	RCDIV0
ビット 15							ビット 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
ビット 7							ビット 0

凡例:			
R = 読み出し可	W = 書き込み可	U = 未実装、読むと「0」	
-n = リセット時の値	'1' = セット	'0' = クリア	x = 不定

ビット 15 ROI: 割り込みによる復帰ビット
 1 = 割り込みで DOZEN ビットをクリアし、CPU と周辺モジュール用クロック比を 1:1 にリセット
 0 = 割り込みは DOZEN ビットに影響を与えない

ビット 14-12 DOZE2:DOZE0: CPU: 周辺モジュールのクロック比選択ビット

111 = 1:128
110 = 1:64
101 = 1:32
100 = 1:16
011 = 1:8
010 = 1:4
001 = 1:2
000 = 1:1

ビット 11 DOZEN: DOZE 有効化ビット⁽¹⁾
 1 = DOZE2:DOZE0 ビットが CPU と周辺モジュールのクロック比を選択する
 0 = プロセッサクロックと周辺モジュールクロックの比を 1:1 にする

ビット 10-8 RCDIV2:RCDIV0: FRC ポスト スケーラ選択ビット

111 = 31.25 kHz (256 分周)
110 = 125 kHz (64 分周)
101 = 250 kHz (32 分周)
100 = 500 kHz (16 分周)
011 = 1 MHz (8 分周)
010 = 2 MHz (4 分周)
001 = 4 MHz (2 分周)
000 = 8 MHz (直接 FRC 出力)

ビット 7-0 未実装: 読むと「0」

注 1: 本ビットは ROI ビットがセットされ、割り込みが発生すると自動的にクリアされます。

6.4.3 発振器微調整レジスタ (OSCTUN)

FRC 発振器微調整レジスタ (レジスタ 6-3) は、ユーザーによる FRC 発振器の微調整を約 $\pm 12\%$ の範囲で可能とします。各ビットを増減すると、FRC 発振器の工場出荷時の校正周波数が一定量変化します。

レジスタ 6-3: OSCTUN: FRC 発振器微調整レジスタ

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
ビット 15						ビット 8	

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	TUN5	TUN4	TUN3	TUN2	TUN1	TUN0
ビット 7						ビット 0	

凡例:

R = 読み出し可	W = 書き込み可	U = 未実装、読むと「0」
-n = リセット時の値	'1' = セット	'0' = クリア
		x = 不定

ビット 15-6 未実装: 読むと「0」

ビット 5-0 TUN5:TUN0: FRC 発振器微調整ビット

011111 = 最大周波数偏差

011110 =

•

•

•

000001 =

000000 = 中心周波数、発振器は工場で較正された周波数で動作する

111111 =

•

•

•

100001 =

100000 = 最小の周波数偏差

6.5 主発振器 (POSC)

PIC24F ファミリの OSC1 と OSC2 ピンで主発振器が有効になります。通常、主発振器は外部クロック入力か外付けクリスタル発振子用に構成されます。主発振器の動作モード詳細は、以下の項で説明されています。主発振器は、表 6-2 にまとめたように 6 つの動作モードを持っています。

表 6-2: 主発振器の動作モード

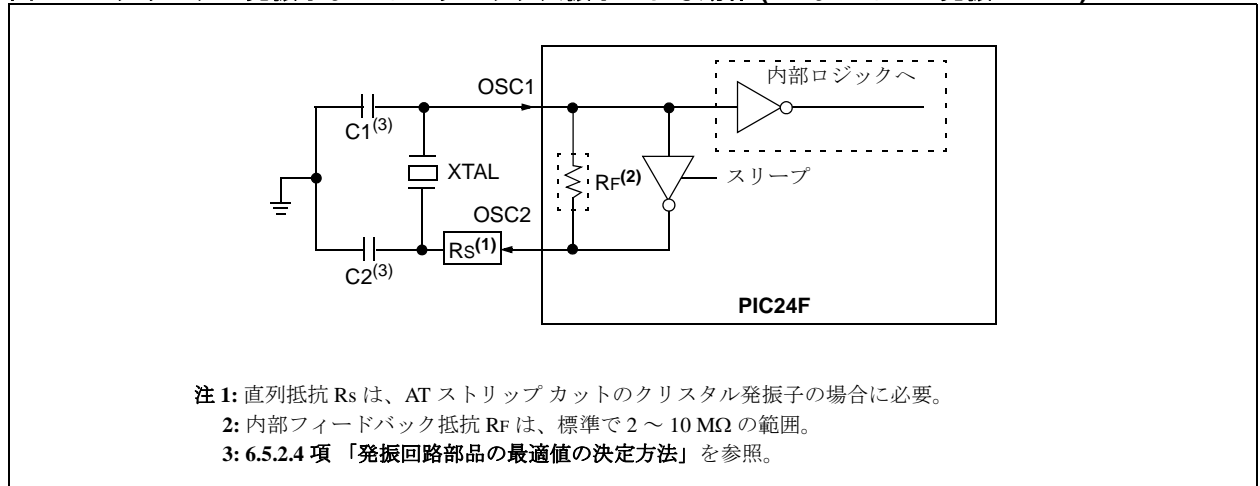
発振モード	説明	OSC2 ピン機能
EC	外部クロック入力 (0 ~ 32 MHz)	Fosc/2
ECPLL	外部クロック入力 (4 ~ 8 MHz)、PLL 有効	Fosc/2
HS	10 MHz ~ 32 MHz クリスタル発振子	(注 1)
HSPLL	4 MHz ~ 8 MHz クリスタル発振子、PLL 有効	(注 1)
XT	3.5 MHz ~ 10 MHz クリスタル発振子	(注 1)
XTPLL	3.5 MHz ~ 8 MHz クリスタル発振子、PLL 有効	(注 1)

注 1: このモードで OSC1 と OSC2 ピンに外付けクリスタル発振子が接続されます。

POSCMD と FNOSC コンフィギュレーション ビット (各々コンフィギュレーションワード 2<1:0> と <10:8>) で主発振器の動作モードを選択します。POSCMD1:POSCMD0 ビットが使用するサブモード (XT、HS、EC) を選択し、FNOSC2:FNOSC0 ビットが発振器を単独で使用するか、内蔵 PLL 付きで使用するかを決定します。COSC ビット (OSCCON<14:12>) が「010」か「011」にセットされると、PIC24F は主発振器で動作します。

各クリスタル発振モードでの周波数範囲の詳細は、そのデバイスの特定のデータシートの電気的特性の項を参照して下さい。

図 6-3: クリスタル発振子またはセラミック共振子による動作 (XT または HS 発振モード)



6.5.1 主発振器モードの選択の仕方

XT と HS モードの間の主な違いは、発振回路内の内蔵インバーターのゲインの違いで、これにより異なる周波数範囲をカバーしています。XT モードは中電力中速周波数モードで、HS モードはクリスタル発振子を用いて最高速の発振周波数を提供できます。PLL 回路を使用する EC と XT モードでは最高速のデバイス動作周波数を提供できます。OSC2 は HS と XT 発振モードのいずれでもクリスタル発振用のフィードバックを提供します。

PLL 回路を使用する EC と HS モードは、最高デバイス動作周波数を提供します。これらのモードにおける発振器回路は、発振器の周波数を 4 倍する PLL 回路が有効化されるためもっとも多くの電流を消費します。

一般的には、仕様に合う最小値のゲインを持つ発振器オプションを使用します。これにより動作電流 (I_{DD}) を低くできます。それぞれの発振モードの周波数範囲は、周波数カットオフの推奨値ですが、徹底的な検証が実施されるのであれば、異なるゲインモードを選択することも許容されます (電圧、温度、抵抗やコンデンサなどの部品の変動、内蔵発振回路を含めた検証)。

発振器のフィードバック回路は、すべての EC モードにおいては無効です。OSC1 ピンは、ハイインピーダンス入力で CMOS ドライバでドライブ可能です。

主発振器が外部クロック入力に構成されている場合、OSC2 ピンは発振器機能サポートには不要です。これらのモードのときには、OSC2 ピンは追加のデバイス I/O ピン、もしくはクロック出力ピンとして使用できます。OSC2 ピンがクロック出力ピンとして使用される場合は、出力周波数は $F_{OSC}/2$ です。

6.5.2 クリスタル発振子とセラミック共振子

XT および HS モードでは、発振させるためにクリスタル発振子もしくはセラミック共振子を OSC1 と OSC2 ピンに接続します (図 6-3)。PIC24F の発振設計には並列カットクリスタルを使用することが必要です。直列カットのクリスタル発振子を使用すると、クリスタル発振子メーカー仕様から外れた周波数になることがあります。

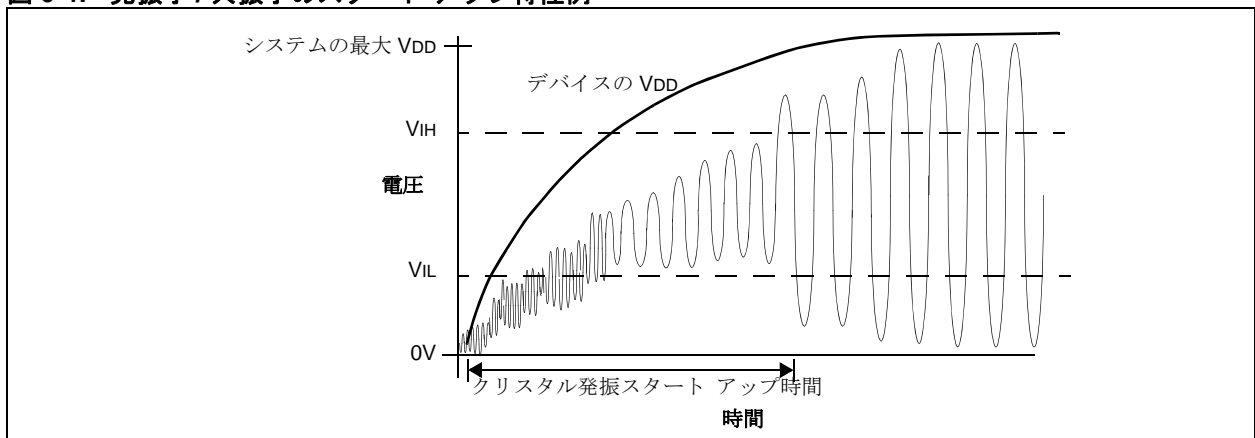
6.5.2.1 発振器 / 共振子スタート アップ

デバイス電圧が V_{SS} から増加するにつれて、発振器はその発振を開始します。発振器が発振を開始するのに必要な時間は、次のような多くの要素に依存します。

- クリスタル発振子 / セラミック共振子の周波数
- 使用するコンデンサ容量
- 直列抵抗、使用する場合にはそのタイプと値
- デバイス V_{DD} の立ち上がり時間
- システム温度
- デバイスの発振モード選択 (内蔵発振用インバータのゲインの選択)
- クリスタル発振子の品質
- 発振回路配置
- システム ノイズ

図 6-4 に典型的なクリスタル発振子やセラミック共振子の立ち上がりの状態を示します。安定発振までの時間は瞬時ではありません。

図 6-4: 発振器 / 共振子のスタート アップ特性例



6.5.2.1.1 主発振器のスリープモードからのスタートアップ

発振器をスタートアップするのに一番難しい時間は、スリープモードから起動する時です。これは、負荷容量が両方とも部分的にある値までチャージされ、起動時の位相差が最小であるからです。したがって、安定な発振状態になるまでにより長い時間が必要です。低電圧、高温かつ低周波数クロックモードの場合も、ループゲインが抑制され、スタートアップに影響を与えることにも注意してください。

次の要素もそれぞれスタートアップ時間を増加させます。

- 低い周波数による設計 (ローゲインクロックモードで)
- 静寂な環境 (バッテリー動作デバイスのような)
- シールドボックス内での動作 (ノイズの多い RF エリアから隔離)
- 低電圧
- 高温度
- スリープモードからのウェイクアップ

回路ノイズは発振器に「キックスタート」を与えるので、実際のところ発振器のスタートアップ時間の短縮に有効です。

6.5.2.2 発振器スタートアップタイマ

クリスタル発振子 (またはセラミック共振子) が発振開始し安定することを保証するために、発振スタートアップタイマ (OST) が用意されています。OST は単純な 10 ビットのカウンタで、発振クロックがシステムの他部に供給される前に、1024 T_{osc} サイクルカウントします。このタイムアウト時間は T_{OST} と呼ばれます。発振信号の振幅は、OST がカウントを開始する前に発振用ピンの V_{IL} と V_{IH} スレッショルドに達していなければなりません。

T_{OST} インターバルは発振器がリスタートするとき (例えば、POR、BOR、スリープからのウェイクアップ) には毎回必要です。発振器スタートアップタイマは、主発振器の XT と HS モードに適用され、同様に副発振器 SOSC にも適用されます (6.7 項「低消費電力副発振器 (SOSC)」参照)。

6.5.2.3 発振回路の微調整

マイクロチップのデバイスは広い動作範囲 (周波数、電圧および温度、注文された部品とバージョンに依存します) を持ち、外付け部品 (クリスタル発振子、コンデンサ等) は、品質もメーカーも広範囲になりますので、選択した部品がアプリケーションの要求を確実に満たすようにするためには、動作の検証を行う必要があります。これらの外付けデバイスの選択と配置に含まれる要素は数多くあります。アプリケーションに依存するものには次のような項目を含みます。

- アンプのゲイン
- 希望周波数
- クリスタル発振子の共振周波数
- 動作温度
- 電源電圧範囲
- スタートアップ時間
- 安定度
- クリスタル発振子の寿命
- 消費電力
- 回路の簡略度
- 標準部品の使用
- 部品点数

6.5.2.4 発振回路部品の最適値の決定方法

部品選択するのに最適な方法は、少しの知識と多くの試行測定およびテストを実行することにはかなりません。通常、クリスタル発振子は並列共振周波数のみで選択されますが、その他のパラメータ、温度もしくは周波数許容値といった値も設計のためには重要です。マイクロチップのアプリケーションノート AN588「PIC マイクロコントローラ発振器設計ガイド」は、クリスタル発振子の動作やその注文情報について学ぶためにすぐれた参考文献です。

PIC24F の内蔵発振回路は並列発振回路で、並列共振クリスタル発振子を選択することが必要です。負荷容量は通常 22pF から 33pF の範囲で規定されます。この範囲の負荷容量を付けたとき、クリスタル発振子は要求周波数に最も近い値で発振します。他の利点を活かすためには、後述するように、これらの値を変更する必要があるかもしれません。

クロックモードは、主にクリスタル発振子の要求周波数に基づいて選択されます。XT と HS モードの間の主な違いは、発振回路内の内蔵インバーターのゲインの違いで、これにより異なる周波数範囲をカバーできます。一般的には、仕様に合う最小値のゲインを持つ発振器オプションを使用します。これにより動作電流 (I_{DD}) を低くできます。それぞれの発振モードの周波数範囲は、周波数カットオフの推奨値ですが、徹底的な検証が実施されるのであれば、異なるゲインモードを選択することも許容されます (電圧、温度、抵抗やコンデンサなどの部品の変動、内蔵発振回路を含めた検証)。C1 と C2 は、初めは、クリスタル発振子メーカーの推奨値かデバイスのデータシートに掲載された表で示される負荷容量に基づいて選択すべきです。しかし、クリスタル メーカーや電源その他すでに述べた要素により、発振回路は工場での性能評価過程で使用されたものとは異なる回路になる場合もあるので、デバイスのデータシートの値は開始時の値としてのみ使用します。

理想的には、コンデンサの容量は、回路が動作すべき最高温度と最低 VDD で発振するように選択します。高温と低い VDD はともにループゲインを抑制しますので、回路がこの極端な環境で動作する場合、設計者は、その他の温度と電源の組合せで正しく動作することを検証できます。出力正弦波は最高ゲインの環境 (最高 VDD と最低温度) でもクリップされてはなりませんし、正弦波出力振幅は最低ゲインの環境 (最低 VDD と最高温度) でも、デバイスのデータシートに記載されているクロックの論理入力仕様より十分大きくなければなりません。OSC1 は、VIL と VIH レベルで規定されています (さらなる情報はその製品個別のデータシートを参照)。

スタート アップを改善する方法は、C1 より大きな値の C2 を使用することです。これによりパワー アップ時にクリスタル発振子により大きな位相差を発生させ、発振スタートアップを加速します。適切な周波数応答のためクリスタル発振子に負荷を与える以外にも、これらのコンデンサは、ループゲインが増加した場合に、それを下げる効果を持ちます。C2 は回路全体のゲインに影響を与えるように選択できます。C2 を大きくすると、クリスタル発振子がオーバードライブされている場合は、ゲインを下げることができます (Rs に関する説明も参照)。容量値が高すぎるとクリスタル発振子に過電流が流れます。従って、C1 と C2 は過度に大きくすべきではありません。残念ながらクリスタル発振子で消費される電力を測定することは困難ですが、推奨値からそれほど離れていなければ心配する必要はありません。

その他の外付けデバイスが満足できる状態に選択された後でも、クリスタル発振子がオーバードライブされている場合は、直列抵抗 Rs を回路に追加します。これは、OSC2 ピン (ドライブされるピンですが) をオシロスコープで見ることによって決定できます。OSC1 にプローブを接続するとピンに負荷を与え、性能が悪化します。スコープのプローブが、それ自身が持つ容量を回路に追加することになりますので (すなわち、回路が C2 が 22pF で一番良く動作し、スコープのプローブが 10pF であれば、33pF の容量が実際にかけられていることになる)、設計する回路で考慮する必要があります。出力信号はクリップされたり平坦になったりしてはいけません。クリスタル発振子をオーバードライブすると、より高次の高調波にジャンプするか、クリスタル発振子にダメージを与えることになります。

OSC2 信号は、簡単にクロック入力ピンの入力最小値と最大値に振れるきれいな正弦波でなければなりません。これを設定するための簡易な方法は、設計回路が動作する予定の最低温度と最大 VDD で回路を再度テストし、出力を観測することです。これでクロック出力の最大振幅が得られるはずですが、もし、VDD や VSS の近傍でクリッピングや正弦波の歪が発生したら、大きすぎる負荷容量のためにクリスタル発振子に過電流が流れているか、メーカーが規定した負荷から遠く離れているからかもしれません。クリスタル電流を調整するには、クリスタル発振子のインバーター出力ピンと C2 の間にトリマーポテンショメータを付加し、正弦波がきれいになるまで調整します。クリスタル発振子は、低温・高 VDD の極値では、最もドライブ電流が多くなります。

トリマーポテンシオメーターを、オーバードライブを防ぐためにこれらの制限範囲内となるように調整する必要があります。ここで、標準値に近い直列抵抗 R_s でトリマーポテンシオメーターを置き換えます。 R_s が高すぎる、おそらく $20k\Omega$ 以上の場合は、出力から入力があまりにも隔絶されることになり、クロックがノイズの影響を受けやすくなります。クリスタル発振子がオーバードライブされるのを防ぐためにこのような高い値が必要なのであれば、 C_2 を増加して補正するか、発振動作モードを変えてみてください。 R_s が約 $10k\Omega$ もしくはそれ以下で、負荷容量がメーカ推奨値からそれほど差のない値での組合せになるよう試してください。

6.5.3 外部クロック入力

EC モードでは、OSC1 ピンはハイインピーダンス状態で CMOS ドライバで駆動できます。OSC2 ピンは、OSCIOFCN ビット (コンフィギュレーションワード 2<5>) の選択により、汎用の I/O ピンもしくはクロック出力 (FOSC/2) として構成できます。OSCIOFCN をセットすると (図 6-5)、クロック出力が有効となり、テストもしくは同期用として使用できます。OSCIOFCN をクリアすると (図 6-6)、OSC2 ピンは汎用の I/O ピンとなります。OSC1 と OSC2 間のフィードバック回路は電流節約のためオフになります。

図 6-5: 外部クロック入力動作 (OSCIOFCN = 1)

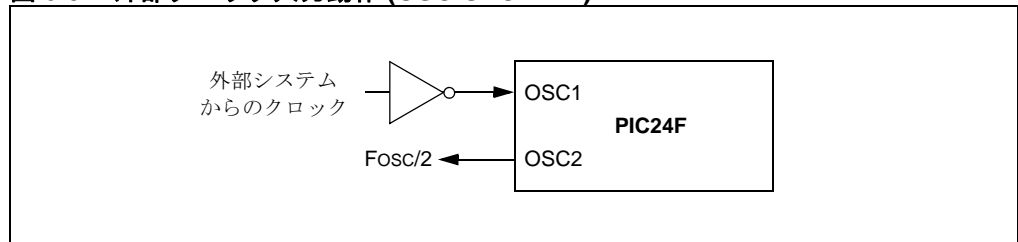
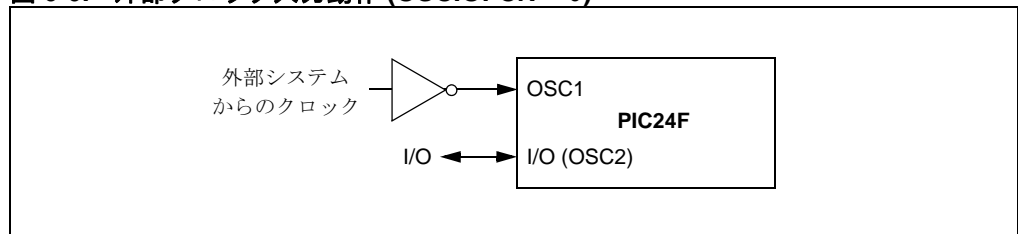


図 6-6: 外部クロック入力動作 (OSCIOFCN = 0)



6.6 フェーズロックループ (PLL)

PLL は XT、HS、EC の主発振器と内蔵高速 RC 発振器 (FRC) と一緒に使用できる固定 x4 乗倍器を提供します。PLL のクロック源が変わると、常に PLL レディータイマーがリセットされ PLL が新しいクロックへの同期を開始します。レディータイマーが必要な時間経過すると、PLL 出力が使用可能となります。

6.6.1 PLL ロックステータス

LOCK ビット (OSCCON<5>) は読み出し専用ステータスビットで、PLL のロック状態を表します。このビットは TLock で表される PLL がロックするまでの標準遅延時間の後に自動的にセットされます。PLL がスタートアップの間に適切に安定化しなかった場合には、LOCK は PLL の実際のロック状態を反映しません。PLL が通常動作中にロックが外れた場合も同様です。

LOCK ビットは電源オンリセット時と、PLL が切り替えるクロック源として選択されている場合にクロック切替が行われるとクリアされます。クロック源が PLL を使用しない場合はクリア状態のままです。

PLL ロックの時間に関する詳細は、その個別デバイスのデータシートの電気的特性の項を参照して下さい。

6.7 低消費電力副発振器 (SOSC)

低消費電力副発振器 (SOSC) は、特に 32.768KHz のクリスタル発振子で低消費電力動作を行うために設計されています。発振器は SOSC0 と SOSC1 デバイス ピンに配置されており、低電力動作のために副クリスタル発振器クロック源として動作します。さらにリアルタイムクロックのアプリケーション用として、タイマ 1 またはリアルタイムクロック / カレンダーもドライブすることができます。

6.7.1 副発振器の有効化

SOSC の動作は FNOSC コンフィギュレーションビットにより選択され、さらに SOSCCEN ビット (OSCCON<1>) で制御されます。SOSCCEN をセットすると発振器が有効化され、SOSC0 と SOSC1 ピンが発振器で制御され、I/O ポートやその他の機能は使用できなくなります。

注: OSCCON に書き込めるようにするためには、アンロックシーケンスが必要です。さらなる情報は 6.11.2 項「発振器切替シーケンス」を参照して下さい。

6.7.2 副発振器の連続動作

SOSCCEN がセットされると、SOSC は常に有効になります。発振器を常に動作させておくことで、低電力動作用の 32KHz システムクロックに高速に切替えることができます。発振器がクリスタル発振子タイプのクロック源である場合は、高速メイン発振器へ戻るときには、発振器スタートアップタイムを必要とします (6.5.2.2 項「発振器スタートアップタイム」参照)。

さらに、リアルタイムクロックアプリケーションとして、タイマ 1 または RTCC モジュールを使用する場合は発振器は常に動作していなければなりません。詳細は第 14 章「タイマ」と第 29 章「リアルタイムクロック・カレンダー (RTCC)」を参照して下さい。

6.7.3 副発振器の非連続動作

SOSCCEN がクリアされると、発振器は現在のデバイス動作用のクロック源として選択されたとき (COSCC2:COSCC0 = 100) だけ動作し、デバイス用クロック源であるときにデバイスがスリープモードに入ると、自動的に無効化されます。

6.8 内蔵高速 RC 発振器 (FRC)

FRC 発振器は高速 (標準 8MHz) の内蔵 RC 発振器です。この発振器は外部クリスタル発振子あるいはセラミック共振子を使用せずに、適度なデバイス動作スピードを供給することを意図しています。COSC ビットが「111」、「001」、「000」の時はいつでも、PIC24F の動作は FRC 発振器で動作します。

6.8.1 FRC 発振器の有効化

FRC 発振器は、デバイス初期化の際のリファレンス クロックとして供給されるため、電源オンリセット時は常に有効になっています。デバイスが構成され、PWRT が経過した後は、FRC がデバイス クロックとして選択されている場合のみ動作継続します。

6.8.2 FRC ポスト スケーラ モード (FRCDIV)

ユーザーがクロック源として内蔵高速発振器を使いたい場合は、標準の 8 MHz FRC 出力だけに限定されません。別の FRCDIV という FRC モードがあり、8 MHz 出力に加えて異なる 7 種類の低い周波数のオプションから選択することができます。ポスト スケーラは、RCDIV2:RCDIV0 ビット (CLKDIV<10:8>) を使って構成します。標準 8 MHz 出力とすると、4 MHz (2 分周) から 31 kHz (256 分周) までの範囲のより低い周波数が選択できます。この範囲の周波数により、RCDIV ビットを変更するだけで、いつでもアプリケーションの省電力化ができます。

FRCDIV モードは COSC ビットを「111」にすることでいつでも選択できます。

6.8.3 PLL モードの FRC 発振器 (FRCPLL)

FRC ポスト スケーラ ブロックの出力は、4x PLL と組み合わせることができ、標準システムクロックとして 16 MHz または 32 MHz を生成します。クリスタル発振子や共振子による主発振器を使用した場合よりやや周波数精度が悪いですが、外付け部品なしでデバイスを高速に動作させることができます。

FRCPLL モードは、COSC ビットを「001」にセットすることでいつでも選択できます。さらに、このモードでは、直接か 2 分周の FRC ポスト スケーラのオプションが選択されているときだけ機能します (RCDIV2:RCDIV0 = 000 または 001)。

6.9 内蔵低消費電力 RC 発振器 (LPRC)

LPRC 発振器は FRC とは分離されており、標準周波数は 31 kHz で発振します。LPRC はパワーアップタイム (PWRT)、WDT および FSCM 回路用のクロック源です。これはまた、消費電力が重要でタイミング精度については要求されないアプリケーション用の低周波数のクロック源オプションを提供するために使用されることがあります。

6.9.1 LPRC 発振器の有効化

LPRC 発振器は、PWRT 用のクロック源であるため、内蔵電圧レギュレータが無効の場合には、パワーオンリセット時には常に有効になります。PWRT が経過した後、次の条件が当てはまる場合には LPRC 発振器は動作を継続します。

- フェールセーフ クロック モニタが有効
- WDT が有効
- LPRC 発振器がシステム クロックとして選択されている (COSC2:COSC0 = 100)

上記のいずれも当てはまらない場合は、PWRT 経過後 LPRC は停止します。

6.10 フェールセーフクロック モニタ (FSCM)

フェールセーフクロック モニター (FSCM) は、発振器不良が発生しても、デバイスが動作を継続できるようにします。FSCM 機能は、FOSC コンフィギュレーションワード 2 内の FCKSM ビット (クロック切り替えとモニター) をプログラムすることで有効になります。FSCM は両方のビットが (「00」) にプログラムされたときのみに有効となります。FSCM 機能が有効の時は、LPRC 内蔵発振器は (スリープモード時を除き) 常に動作します。

発振器不良が発生すると、FSCM は発振器不良トラップを発生させ、システムクロックを FRC 発振器に切替えます。ユーザーは、ここで発振器を再スタートさせるか、コントロールされたシャットダウンを行うかどちらかを行います。FSCM はクロック源や発振モードに関係なくシステムクロック源をモニタします。これには主発振器の全発振モードと副発振器 SOSC がシステムクロックとして構成された場合を含みます。

FSCM モジュールは FRC 発振器への切替えが行われた場合には、以下の動作を行います。

1. COSC ビットに「000」をロード
2. 発振器不良を示すため CF ステータス ビットをセット
3. OSWEN 制御ビットをクリアして待機中のクロック切替をキャンセル

注: 発振器不良トラップについてのさらなる情報は、第8章「割り込み」を参照して下さい。

6.10.1 FSCM の遅延

POR、BOR もしくはスリープモードからの起動時には、FSCM がシステムクロック源のモニターを開始する前に、遅延 (TFSCM) が挿入されます。FSCM 遅延の目的は、パワーアップタイム (PWRT) を使用しない場合に、発振器および/もしくは PLL が安定する時間を確保するためです。FSCM 遅延は、内部システムリセット信号 SYSRST が解除された後に生成されます。FSCM 遅延タイミングのさらなる情報は、第7章 リセットを参照して下さい。

TFSCM 時間は、FSCM が有効であり、EC、HS、SOSC 発振モードがシステムクロックとして選択されている時は常に適用されます。

注: TFSCM の仕様値については、その個別のデバイスのデータシートの電気的特性の項を参照して下さい。

6.10.2 FSCM と低速発振器スタートアップ

選択したデバイスの発振器のスタートアップが、POR、BOR、もしくはスリープモードより遅い時は、発振器がスタートする前に FSCM 遅延時間が経過してしまう可能性があります。この場合、FSCM は発振器不良トラップを発生します。これが発生すると、COSC ビットには FRC 発振器選択がロードされます。これにより、起動させようとしていた元の発振器が停止されます。ユーザーはこの状況を検出後、トラップサービスルーチン内で希望する発振器へ戻す切り替えを起動します。

6.10.3 FSCM と WDT

FSCM と WDT はともにタイムベースとして LPRC 発振器を使用します。クロック不良が起きても WDT は影響されず、LPRC で動作継続します。

6.11 クロック切り替え操作

アプリケーションでは、ほとんど制限なくソフトウェア制御でいつでも4つのクロック源 (主、SOSC、FRC、LPRC) のどれにでも自由に切り替えができます。この柔軟性故に、起こりうる副作用を制限するため、PIC24F デバイスは切り替えプロセス中に組み込まれる安全ロックの機能を持っています。

注：主発振器には、POSCMD コンフィギュレーション ビットで決定される3通りの異なるサブモード (XT、HS、EC) を持っています。アプリケーションではソフトウェアで主発振器モードとの切り替えはできますが、デバイスを再プログラムせずに異なるサブモード間の切り替えはできません。

6.11.1 クロック切り替えの有効化

クロック切替を有効にするには、FCKSM1 コンフィギュレーション ビットを「0」にプログラムする必要があります (詳細についてはその個別のデバイスのデータシートを参照してください)。FCKSM1 コンフィギュレーション レジスタ ビットが未プログラム時 (「1」) のときは、クロック切替機能とフェールセーフクロックモニター機能は無効です。これがデフォルトの設定です。

NOSC コントロール ビット (OSCCON<10:8>) は、クロック切替が無効の場合は、クロック選択をコントロールしません。ただし、COSC ビット (OSCCON<14:12>) は、FNOSC コンフィギュレーション ビットによるクロック源の選択に反映します。

OSWEN コントロール ビット (OSCCON<0>) は、クロック切替が無効の場合は影響を与えません。常に「0」を保持します。

6.11.2 発振器切替シーケンス

クロック切り替えには少なくとも次の基本手順が必要です。

1. 必要なら COSC ビット (OSCCON<14:12>) を読み出して現状の発振源を調べる
2. OSCCON レジスタの高位バイト書き込み許可のためアンロックシーケンスを実行
3. 新発振源用の適切な値を NOSC 制御ビット (OSCCON<10:8>) に書き込む
4. OSCCON レジスタ下位バイトの書き込み許可のためアンロックシーケンスを実行
5. OSWEN ビットをセットして発振器切り替えを起動

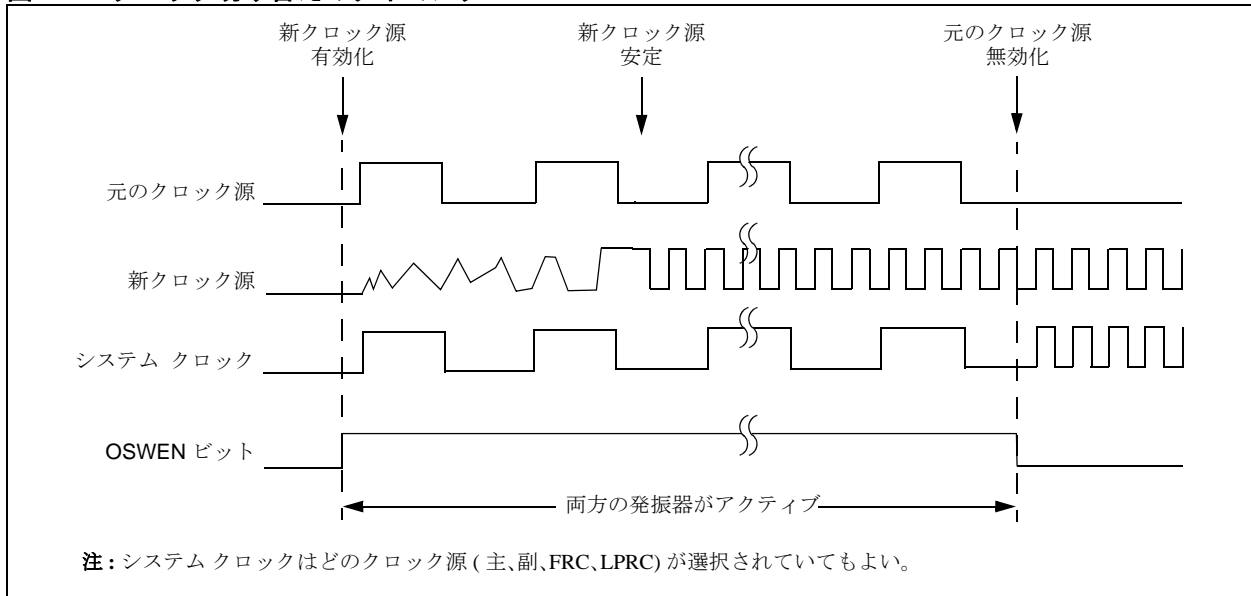
この基本シーケンスが完了すると、システムクロックハードウェアが、自動的に次のように応答する。

1. クロック切替ハードウェアは COSC ステータス ビットと NOSC コントロール ビットの新しい値を比較する。それらが同じであれば、クロック切替は冗長な動作になる。この場合、OSWEN ビットは自動的にクリアされクロック切替は中断される
2. 有効なクロック切替が起動されると、LOCK(OSCCON<5>) と CF(OSCCON<3>) ステータス ビットがクリアされる
3. もし新しい発振器が現在動作していなければ、ハードウェアによりオンされる。クリスタル発振器を発振開始する場合は、ハードウェアは OST が経過するまで待つ。新しいクロック源が PLL を使用する場合は、ハードウェアは PLL ロックが検出される (LOCK = 1) まで待つ
4. ハードウェアは新しいクロック源が安定するのを待ち、それからクロックを切替える
5. ハードウェアは OSWEN ビットをクリアし、クロック遷移がうまくいったことを表す。さらに、NOSC ビット値が COSC ステータス ビットに転送される
6. 旧クロック源は、この時点で停止する。ただし LPRC(WDT または FSCM が有効な場合)、または SOSC(SOSCEN がセットされている場合) は除く

クロック源の切り替わりの遷移タイミングを図 6-7 に示します。

注：プロセッサはクロック切り替えシーケンス中も動作継続します。タイミングに敏感なコードはこの間は実行しないようにして下さい。

図 6-7: クロック切り替えのタイミング



推奨されるクロック切り替えのコード シーケンスには次の項目を含みます。

1. OSCCON レジスタがロックされていない場合や書き込みシーケンス中は、割り込みを無効にする
 2. OSCCON の上位バイトのロック解除のため、連続する 2 つの命令で OSCCON<15:8> に 78h と 9Ah を書き込む
 3. アンロック シーケンスの直後の命令で、新発振源を NOSC 制御ビットに書き込む
 4. OSCCON の下位バイトのロック解除のため、連続する 2 つの命令で OSCCON<7:0> に 46h と 57h を書き込む
 5. アンロック シーケンスに直後の命令で OSWEN ビットをセットする
 6. クロックに敏感でないコード実行を続ける (オプション)
 7. 選択した発振器および/もしくは PLL が起動し安定するまで、適切な長さのソフトウェア遅延 (サイクル カウント) を挿入する
 8. OSWEN が「0」になったか確認する。「0」の場合スイッチ切り替え成功
- OSCCON レジスタのロックを解除し、クロック切り替えを起動するコード シーケンスを例 6-1 に示します。

例 6-1 クロック切り替えの基本的なコード シーケンス

```

;Place the new oscillator selection in W0
;OSCCONH (high byte) Unlock Sequence
MOV     #OSCCONH,w1
MOV     #0x78, w2
MOV     #0x9A, w3
MOV.b   w2, [w1]
MOV.b   w3, [w1]
;Set new oscillator selection
MOV.b   WREG, OSCCONH
;OSCCONL (low byte) unlock sequence
MOV     #OSCCONL,w1
MOV.b   #0x01, w0
MOV     #0x46, w2
MOV     #0x57, w3
MOV.b   w2, [w1]
MOV.b   w3, [w1]
;Start oscillator switch operation
MOV.b   w0, [w1]
    
```

6.11.2.1 クロック切り替え時の注意事項

クロック切り替えをアプリケーションに組み込む際には、コード作成で次のことに留意して下さい。

- OSCCON のアンロック シーケンスは非常にタイミングが重要です。
OSCCON レジスタ バイトは、シーケンス後のわずか1 サイクル期間だけ書き込み可能です。したがって C のような高級言語では、コンパイルした結果がタイミングに敏感な命令シーケンスを満足できないかも知れませんので、高級言語で記述されたアプリケーションにおいてクロックの切り替えが要求される場合には、アセンブラでルーチンを記述してアプリケーションにリンクし、必要なとき呼び出す関数とするのが最適です。
- 切り替えるクロック源がクリスタル発振器の場合は、切り替え時間に発振器スタートアップタイムが追加されます。
- 新クロックが発振開始しないか、存在しない場合は、クロック切り替えハードウェアは、新クロック源を永久に待つこととなります。この状態は OSWEN ビットがセットされたままになっていることでユーザーが認識することができます。
- 新クロック源が PLL を使う場合は、ロックされるまでクロック切り替えは行われません。PLL ロックができなかったことは、LOCK ビットがクリアされていて、OSWEN ビットがセットされていることでユーザーが認識することができます。
- 副クロックのような低周波のクロック源に切り替えると、デバイス動作は非常に遅くなります。

注：アプリケーションでフェール セーフ クロック モニタを有効にしている場合は、100 kHz より低い周波数のクロックに切り替えないで下さい。このようなクロック切り替えを行うと、発振器不良トラップを発生し、内蔵高速 RC 発振器に切り替わってしまいます。

6.11.3 クロック切り替えの中断

クロック切り替えが完了しない場合は、OSWEN ビットをクリアすることでクロック切り替えロジックをリセットできます。これでクロック切り替え処理を破棄し、OST(適応の場合) を停止してリセットし、PLL(適応の場合) を停止させます。クロック切り替え中断の標準的なアセンブリ コードを例 6-2 に示します。

クロック切り替え手順は、いつでも中断できます。すでに開始してしまったクロック切り替えも、2 回目のクロック切り替えを行うことで中断できます。

例 6-2 クロック切り替えの中断

```

MOV      #OSCCON,W1      ; pointer to OSCCON
MOV.b    #0x46,W2        ; first unlock code
MOV.b    #0x57,W3        ; second unlock code
MOV.b    W2, [W1]        ; write first unlock code
MOV.b    W3, [W1]        ; write second unlock code
BCLR     OSCCON,#OSWEN   ; ABORT the switch

```

6.11.4 クロック切り替え中のスリープモードへの遷移

クロック切り替え動作中にデバイスがスリープモードに入ると、クロック切り替え動作は中断されます。プロセッサは元のクロック選択を維持し、OSWEN ビットがクリアされます。その後 PWRSAV 命令は通常通り実行されます。

6.12 2 速度スタートアップ

2 速度スタートアップは自動クロック切り替え機能で、前述の手動制御のクロック切り替えからは独立しています。これを使うと、主クロック源が有効になるまで、マイクロコントローラが FRC 発振器をクロック源として使えるようにするので、発振器スタートアップからコード実行までの遅れ時間を最小にします。この機能は IESO コンフィギュレーションビット (コンフィギュレーションワード 2<15>) で制御し、FCKSM コンフィギュレーションビットの状態に関わらず動作します。

2 速度スタートアップは、外部発振器が FNOSC コンフィギュレーションビットにより選択され、クリスタルベースの発振器 (主または副発振器の場合) のスタートアップタイムが長い場合に特に有効です。内蔵 RC 発振器なので、FRC クロック源は POR あるいはデバイス ウェイクアップ直後から有効になります。

2 速度スタートアップにより、デバイスは POR 後のコード実行をデフォルト発振器 (FRC)で行います。このモードでの動作は、FNOSC コンフィギュレーションビットで指定された外部発振器が安定するまで継続され、その後、自動的にその (指定された) クロック源に切り替えます。

2 速度スタートアップは省電力スリープモードからのウェイクアップ時にも使われます。デバイスは、選択された主クロックが準備できるまで、FRC クロック源を使います。アイドルモードの場合は、主クロックが有効になるまで、デバイスは現在選択中のクロックで動作していますので 2 速度スタートアップは使われません。

6.12.1 2 速度スタートアップを使う場合の特別な注意事項

2 速度スタートアップで FRC を使っている間も、連続する PWRSAV 命令を含む省電力モードに入るための通常のコマンドシーケンスに従います。このことは、OST がタイムアウトする前に、ユーザーコードで NOSC2:NOSC0 ビットを設定変更したり、PWRSAV #SLEEP 命令を実行できることを意味します。これにより、アプリケーションは一時的にウェイクアップし、タスクの処理を実行し、デバイスが外部クロックで実行開始する前にスリープへ戻ることができます。

ユーザーは、NOSC2:NOSC0 ビットに対する COSC2:COSC0 ビットのステータスを確認することで、現在どのクロック源がデバイスクロック用に供給されているかを知ることができます。この 2 組のビットが一致する場合は、クロック切り替えに成功し、デバイスは意図したクロックで動作し、主クロックがクロックを供給しています。一致しない場合は、リセットまたはスリープモードからのウェイクアップ中で FRC がクロックを供給しています。

6.13 AC 電氣的仕様

図 6-8: 外部クロック タイミング

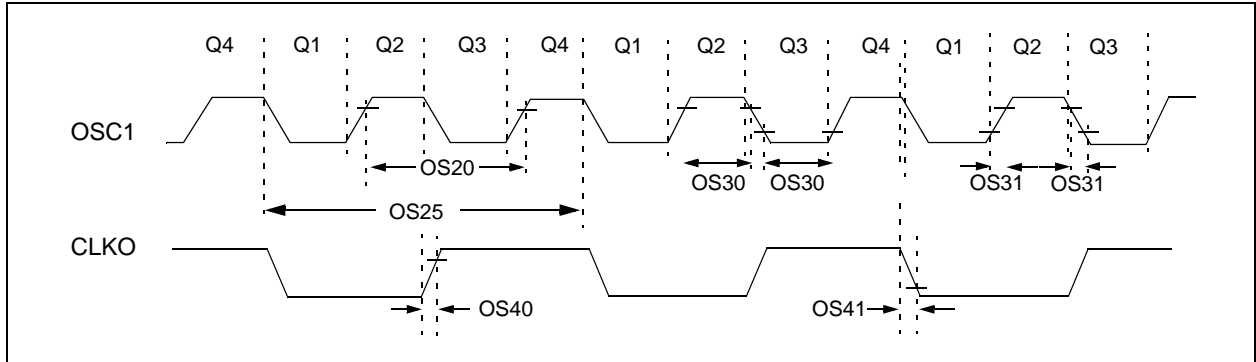


表 6-3: 外部クロック タイミング要求仕様

AC 特性			標準動作条件: 2.0V ~ 3.6V (特に指定がない場合) 動作温度 -40°C ≤ TA ≤ +85°C (工業用)				
Param No.	記号	特性	Min	Typ ⁽¹⁾	Max	単位	条件
OS20	Tosc	TOSC = 1/FOSC	—	—	—	—	
OS25	Tcy	命令サイクル時間 ⁽²⁾	62.5	—	DC	ns	
OS30	TosL, TosH	OSC1 への外部クロック High と Low 時間	0.45 x Tosc	—	—	ns	EC
OS31	TosR, TosF	OSC1 への外部クロック 立ち上がり、立下り時間	—	—	20	ns	EC
OS40	TckR	CLKO 立ち上がり時間 ⁽³⁾	—	6	10	ns	
OS41	TckF	CLKO 立下り時間 ⁽³⁾	—	6	10	ns	

注 1: 「Typ」欄のデータは記載のない限り 3.3V、25°Cでの値です。パラメータは設計ガイド用のみでテストされていません。

2: 命令サイクル周期 (Tcy) は、発振器タイムベースの周期の 2 倍に等しくなります。全仕様値は、特定の発振タイプで標準動作条件のもとでコード実行時の特性データに基づいています。この仕様限界を超えた場合には不安定な発振動作や、余分な電流消費を引き起こします。全デバイスは OSC1/CLKI ピンに外部クロックを供給して Min の値になるようにしてテストしています。外部クロック入力を使った場合は、最大サイクルタイム限界はどのデバイスも DC(クロックなし)となります。

3: 測定は EC モードで行いました。CLKO 信号は、OSC2 ピンで計測。CLKO は Q1-Q2 期間 (1/2 Tcy) は Low で、Q3-Q4 期間 (1/2 Tcy) は High です。

6.14 設計の秘訣

質問 1: 電源投入後、オシロスコープで OSC2 ピンを観測したところ、クロックが表示されていません。どうしてでしょう？

回答: いくつかの原因が考えられます。

1. ウェイクアップ要因 (WDT、MCLR もしくは割り込み) がいない状態でスリープモードに入っている場合。ウェイクアップ要因がなく、デバイスをスリープにするコードがないことを確認して下さい。可能であれば、MCLR に Low パルスを入れてウェイクアップさせてみて下さい。MCLR を Low にしたまま電源を投入することにより、クリスタル発振器のスタートアップ時間を延長できますが、プログラムカウンタは MCLR ピンが High になるまで進みません。
2. 希望の周波数に対して、間違ったクロックモードが選択されている場合。書き込みがなされていないデバイスの場合、デフォルトの発振器は FRCDIV です。ほとんどのデバイスがクリスタル振動子や共振子では起動しないデフォルトのモードが選択されて出荷されます。クロックモードが正しくプログラムされているか確認してください。
3. 適切な電源投入シーケンスが行われていない場合。電源投入前に I/O ピンを通して CMOS デバイスに電源が供給された場合、不都合が発生します (ラッチアップや不適切な立ち上がり等)。ブラウンアウト状態だったり、スタートアップ時に電源ラインにノイズが乗っていたり、V_{DD} 立上げ時間が遅かったりする場合も問題が発生します。I/O に何も接続せずにデバイスの電源を立上げたり、よく知られた、良質で、立上げ時間の早い電源を使って電源供給を行ってください。ブラウンアウトや電源立上げシーケンスに関する配慮については、個別のデバイスのデータシートの電源立上げ情報を参照してください。
4. クリスタル振動子に付けられた C1 と C2 容量が適切に接続されていないか、正しい値ではない場合。すべての接続が正しいことを確認してください。これらの部品にデバイス データ シートの値を使えば、通常は発振動作しますが、あなたの設計に対しては最適な値でないかも知れません。

質問 2: クリスタル振動子の共振周波数よりもはるかに高い周波数で私のデバイスが動作するのはなぜですか？

回答: この発振回路ではゲインが高過ぎます。C2(おそらくより大きな値にする必要があります)、RS(おそらく必要です)、クロックモード(間違ったモードが選択されているかも知れません) の選択方法については、6.5.2.4 項 「発振回路部品の最適値の決定方法」を参照して下さい。これは標準の 32.768 kHz のように低い周波数のクリスタル振動子の場合には特に可能性があります。

質問 3: 回路はうまく動作していますが、周波数が少しくずれています。これを調整するにはどうすれば良いでしょうか？

回答: C1 の値を変更すると発振周波数に影響します。直列共振クリスタルを使用している場合、同じ周波数値の並列共振クリスタルとは違う周波数で共振します。並列共振クリスタルを使用していることを確認して下さい。

質問 4: アプリケーションはうまく動作していますが、時々急に停止したり時間が欠けたりします。原因は何でしょうか？

回答: 時間欠けを調査するためのソフトウェア チェックを実施すること以外では、発振器出力の振幅が発振器入力を確実にトリガーするのに十分でないかもしれません。C1 と C2 の値を確認すると、希望の発振モードに対してデバイス コンフィギュレーションビットが正しいことを確認してください。

質問 5: オシロスコープのプローブを発振器のピンに当てたところ、期待したものが観測されません。何故でしょうか？

回答: オシロスコープのプローブが容量を持つことに注意してください。発振回路にプローブを接続すると、発振器の特性が変わります。低容量の (アクティブ) プローブの使用を考えてください。

6.15 レジスタ マップ

表 6-4 に PIC24F 発振器に関連するレジスタのまとめを示します。

表 6-4: 発振器レジスタ マップ

ファイル名	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	リセット時の全て
OSCCON	—	COSC2	COSC1	COSC0	—	NOSC2	NOSC1	NOSC0	CLKLOCK	—	LOCK	—	CF	—	SOSCEN	OSWEN	xxxx ⁽¹⁾
CLKDIV	ROI	DOZE2	DOZE1	DOZE0	DOZEN	RCDIV2	RCDIV1	RCDIV0	—	—	—	—	—	—	—	—	0300
OSCTUN	—	—	—	—	—	—	—	—	—	—	TUN<5:0>					0000	

凡例：x = リセット時の値は不定、— = 未実装、読むと「0」リセット時の値は 16 進数で表現

注 1：OSCCON レジスタのリセット時の値は FOSC コンフィギュレーション ビットとリセットのタイプに依存する。

6.16 関連するアプリケーションノート

この項では、マニュアルのこの章に関連するアプリケーションノートをリストアップします。これらのアプリケーションノートは、特に PIC24F デバイス ファミリー用に書かれているわけではありませんが、その概念は適切であり、変更、あるいは制限事項を考慮に入れて使用可能です。現在、発振器に関連するアプリケーションノートは次の通りです。

タイトル	アプリケーションノート #
クリスタル発振器の基礎と rfPIC [®] 、PICmicro [®] デバイス用のクリスタルの選択法	AN826
PICmicro [®] 発振器設計の基礎	AN849
PICmicro [®] 発振器解析と設計の実際	AN943
発振器を動作させるには	AN949

注: PIC24F ファミリ デバイスに関するその他のアプリケーションノートやコード例についてはマイクロチップ ウェブサイト (www.microchip.com) をご覧下さい。

6.17 改版履歴

リビジョン A (2006 年 9 月)

本文書の初版リリース。