
第 12 章 I/O ポート

ハイライト

本章では次のトピックについて説明します。

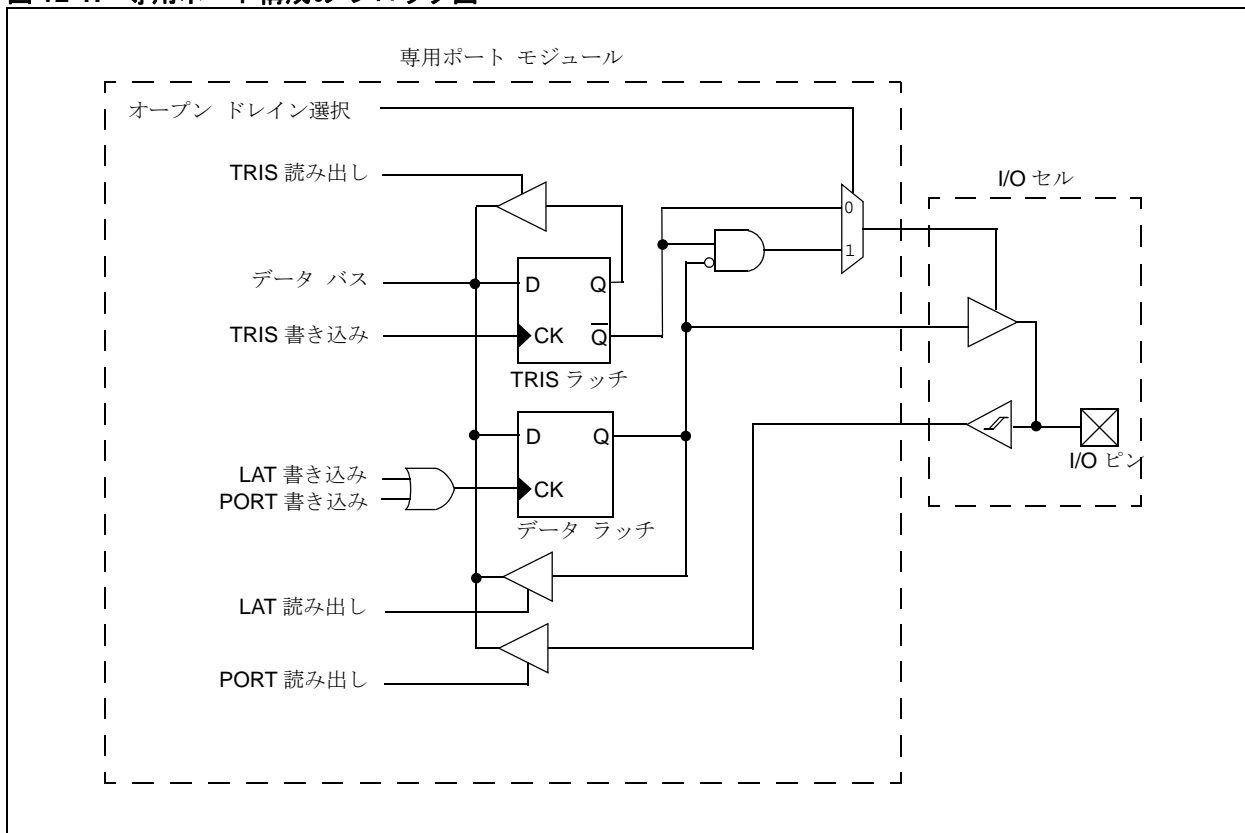
12.1 はじめに	12-2
12.2 I/O ポート制御レジスタ	12-2
12.3 周辺モジュールの多重化	12-4
12.4 バウンダリ スキャン セル接続	12-6
12.5 ポートの 説明	12-6
12.6 状態変化通知 (CN) ピン	12-7
12.7 レジスタ マップ	12-11
12.8 関連するアプリケーション ノート	12-12
12.9 改版履歴	12-13

12.1 はじめに

汎用 I/O ピンは最も単純な周辺モジュールです。これらにより PICmicro® MCU が他のデバイスをモニタおよび制御できます。デバイスに柔軟性と機能性を持たせるため、ピンには複数機能が多重化されているものがあります。これらの機能は、デバイスに内蔵されている周辺モジュール機能に依存します。通常、周辺モジュールが動作するときには、そのピンは汎用 I/O ピンとしては使用できません。

図 12-1 に標準的な I/O ポートのブロック図を示します。このブロック図には、I/O ピンに多重使用される周辺モジュール機能については考慮していません。

図 12-1: 専用ポート構成のブロック図



12.2 I/O ポート制御レジスタ

すべての I/O ポートはポート動作に直接関係する 4 つのレジスタを持っています。ここで、「x」は特定の I/O ポートを区別する文字です。

- TRISx: データ方向レジスタ
- PORTx: I/O ポート レジスタ
- LATx: I/O ラッチ レジスタ
- ODCx: I/O オープン ドレイン制御レジスタ

I/O ピンごとに TRIS、PORT、LAT、ODC レジスタ内に対応するビットがあります。

注: ポートおよび使用可能 I/O ピンの総数はデバイスの種類に依ります。デバイスによっては、ポート制御レジスタの一部のビットが実装されていないことがあります。詳細については個別のデバイス データ シートを参照してください。

12.2.1 TRIS レジスタ

TRIS_x レジスタ制御ビットは I/O ポートの各ピンが入力か出力かを決定します。I/O ピンの TRIS ビットが「1」の場合、そのピンは入力用に設定されます。I/O ピンの TRIS ビットが「0」の場合、そのピンは出力用に設定されます。「1」は(入力)の「I」、「0」は(出力)の「O」とすると簡単に覚えられます。全てのポートピンはリセット後には入力として定義されます。

12.2.2 PORT レジスタ

I/O ピンのデータは PORT_x レジスタを介してアクセスできます。PORT_x レジスタへの書き込みはポート データ ラッチへ書き込み、PORT_x レジスタの読み込みは I/O ピンの値を読み込みます。

BSET および BCLR 命令のような多くの命令は、「読み込み—変更—書き込み」動作です。従って、ポートへの書き込みは、まずポート ピンが読み出され、この値が変更され、それからポート データ ラッチへ書き込まれるということを意味します。ポートの一部の I/O ピンが入力として設定されている場合、「読み込み—変更—書き込み」コマンドを PORT_x レジスタに使用するときには注意が必要です。入力として設定された I/O ピンを後から出力に変更する場合、I/O ピン上に予想外の値が出力されることがあります。この現象は、「読み込み—変更—書き込み」命令が入力ピンの現在値を読み込み、その値をポート データ ラッチへ書き込むために起こります。

12.2.3 LAT レジスタ

I/O ピンに対応した LAT_x レジスタは「読み込み—変更—書き込み」命令で発生する可能性がある問題を回避します。LAT_x レジスタの読み込みは、I/O ピンの値の代わりに、ポート出力ラッチに保持されている値を戻します。I/O ポートと関連している LAT レジスタへの「読み込み—変更—書き込み」操作は、入力ピンの値をポート ラッチへ書き込む可能性を回避します。LAT_x レジスタへの書き込みは、PORT_x レジスタへの書き込みと同じ結果となります。

PORT と LAT レジスタの違いは以下のようにまとめられます。

- PORT_x レジスタへの書き込みは、データ値をポート ラッチへ書き込む
- LAT_x レジスタへの書き込みは、データ値をポート ラッチへ書き込む
- PORT_x レジスタの読み込みは、I/O ピン上のデータ値を読み出す
- LAT_x レジスタの読み込みは、ポート ラッチで保持されているデータ値を読み出す

あるデバイスで使われないビットに関連するデータおよび制御レジスタは無効になります。この場合、対応する LAT_x と TRIS_x レジスタ、そしてポート ピンは 0 として読み込まれます。

12.2.4 ODC レジスタ

I/O ピンごとに個別に通常のデジタル出力か、オープン ドレイン出力かを設定できます。これはそれぞれの I/O ピンに対応するオープン ドレイン制御レジスタ ODC_x で制御できます。ODC ビットが「1」の I/O ピンはオープン ドレイン出力となります。ODC ビットが「0」の I/O ピンは、通常のデジタル出力となります (ODC ビットは、出力ピンにだけ有効)。リセット後は、ODC_x レジスタの全ビット状態は「0」となります。

オープン ドレイン機能により、どのデジタル専用ピンも外付けのプルアップ抵抗を付けることで V_{DD} 以上の出力にできます。最大オープン ドレイン電圧は、最大 V_{IH} 仕様と同じになります。ODC レジスタの設定は、どの I/O モードの時も有効で、ピンを周辺モジュールが制御している場合でもオープン ドレイン出力にできます。LAT と TRIS ビットを操作することで同様の効果を達成できますが、この手順では、周辺モジュールがオープン ドレインモードで動作できません (I²C™ のデフォルト動作を除く)。I²C ピンはもともとオープン ドレインなので、ODC_x レジスタの設定は I²C ピンには影響しません。また、ODC_x 設定は JTAG 出力 特性にも影響しません、なぜなら JTAG スキャンセルが ODC_x ロジックと I/O の間に挿入されているからです。

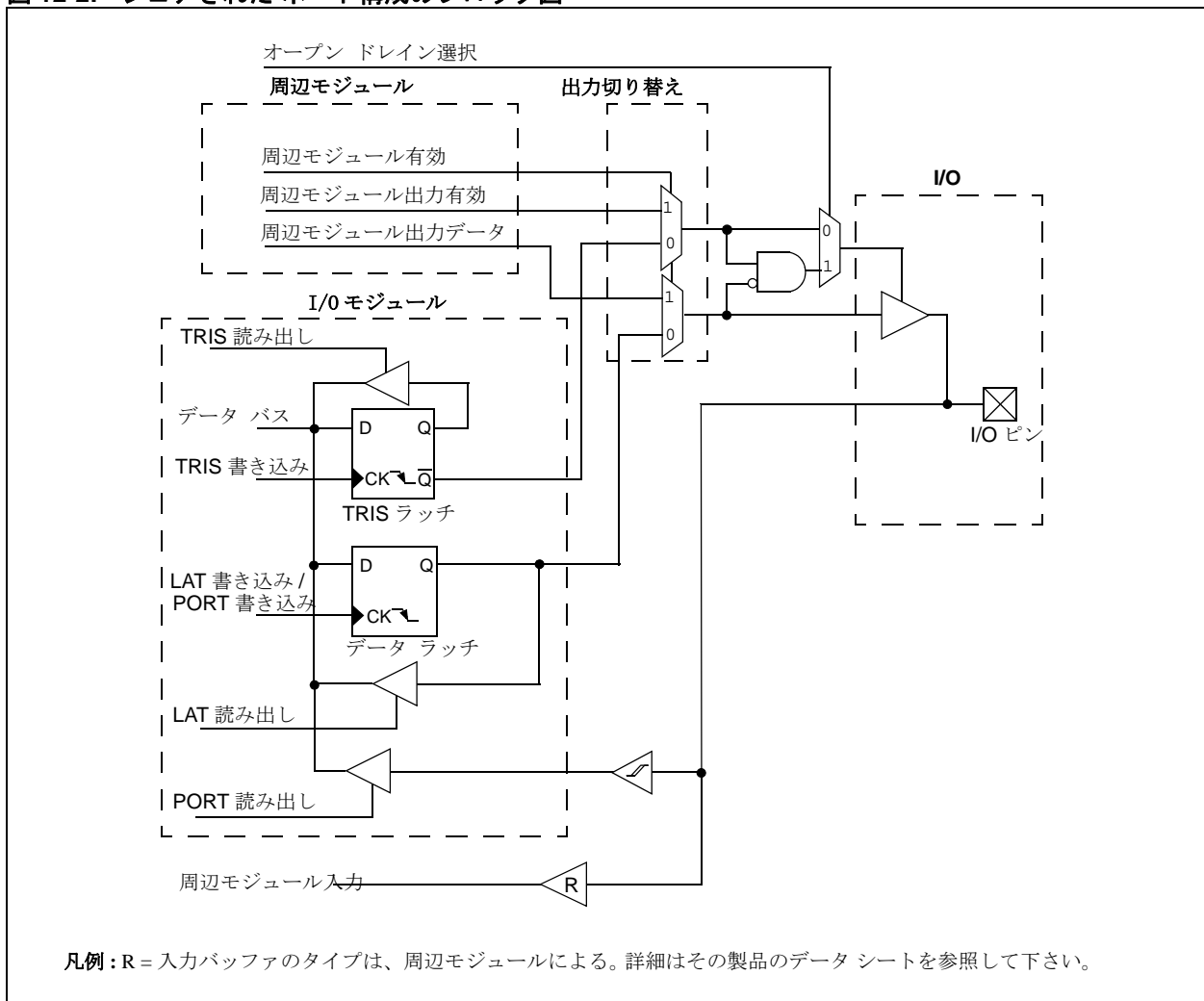
12.3 周辺モジュールの多重化

ピンはデジタルの入力、出力および、アナログの入力、出力にも構成できます。デジタル入力として構成された場合は、TTL バッファかシュミット トリガとなります。デジタル出力に構成された場合は、CMOS ドライバか、オープン ドレイン出力となります。

多くのピンは1つ以上の周辺モジュールをサポートしています。周辺モジュールと動作するよう構成されていると、ピンは汎用 I/O として使用できません。多くの場合、周辺が TRIS 設定を上書きしますが、その場合でもピンを入力か出力いずれにかに設定する必要があります。図 12-2 に、ポートが他の周辺モジュールとどのようにシェアされ、対応する I/O ピンに接続されるかを示します。

PIC24F デバイスによっては、複数周辺機能が I/O ピンに 多重化されている場合があります。周辺モジュール機能の優先順位は、その特定製品のデータシート内のピン配置図に描かれたピン説明の順序となります。

図 12-2: シェアされたポート構成のブロック図



12.3.1 デジタル入力周辺モジュールの多重化

- 周辺モジュールは TRISx レジスタを制御しない
- PORTx レジスタはピンの値を読み出せる
- PORTx データ入力バスは影響されない
- 周辺モジュールの入力バスは、特別な入力バッファを持つ IO 入力バスとは独立

12.3.2 デジタル出力周辺モジュールの多重化

- 周辺モジュールが出力データを制御し、PORTx レジスタは無効
- PORTx レジスタはピンの値の読み込みが可能
- パッド出力駆動タイプは周辺モジュールにより選択される (ドライブの強さ、スローレートなど)
- 関連する TRISx ビットをクリアしてピンを出力に構成する必要がある
- 出力が自動のトライステート機能を持つ場合 (PWM 出力のように)、周辺モジュールがピンをトライステートにする能力を持つ

12.3.3 デジタル双方向周辺モジュールの多重化

- 周辺モジュールはピンを出力にするのは自動でできるが入力にはできない。ピンを入力に構成するには対応する TRISx ビットをセットする必要がある
- 周辺モジュールがデータ出力を制御し、PORTx レジスタは無効
- PORTx レジスタでピンの値を読み込み可能
- パッド出力駆動タイプは周辺モジュールによる (ドライブの強さ、スローレートなど)

12.3.4 アナログ入力周辺モジュールの多重化

- すべてのデジタルポート入力バッファが無効となり、無用の電流を防ぐため PORTx レジスタは「0」と読み出される

12.3.5 アナログ出力周辺モジュールの多重化

- すべてのデジタル入力バッファが無効となり、無用の電流を防ぐため PORTx レジスタは「0」と読み出される
- ピンへのアナログ出力は TRISx の設定とは無関係に駆動される

注: A/D と多重化されたピンをデジタル I/O として使用するためには、A/D モジュールがオフされていても、AD1PCFG レジスタを「1」に設定する必要があります。

12.3.6 ソフトウェアによる入力ピンの制御

I/O ピンに関する機能で入力の機能であり、出力ドライバを制御しないものがあります。そのような周辺モジュールの例は入力キャプチャモジュールです。その入力キャプチャに対応する I/O ピンを TRISx 制御ビットを使って出力に構成することで、ユーザーが対応する PORT レジスタを介して、手動で入力キャプチャの状態に作用することが可能です。この挙動は、特に外部信号が入力ピンに接続されていないときのテスト用途として便利です。

図 12-2 を参照すると、周辺モジュールマルチプレクサの構成により、出力 PORT レジスタを使用して、周辺モジュール入力ピンがソフトウェアで操作可能かどうかを判ります。この図で示されている概念的な周辺モジュールは周辺モジュール機能が有効化された場合、出力 PORT データを I/O ピンから切断します。

一般的に、以下の周辺モジュールは、それらの入力ピンを出力 PORT レジスタにより手動で制御できます。

- 外部割り込みピン
- タイマクロック入力ピン
- 入力キャプチャピン
- PWM フォルトピン

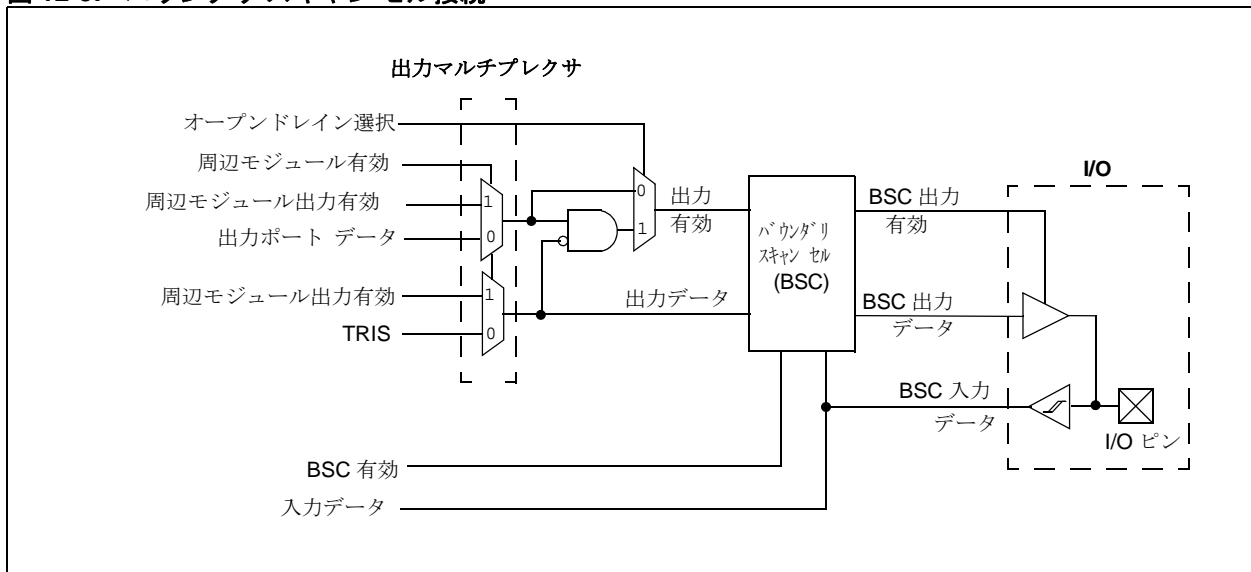
ほとんどのシリアル通信周辺モジュールは、いったん有効化されると I/O ピンを完全に制御します。従って、周辺モジュールの入力ピンは対応する出力 PORT レジスタを通じて影響を与えられません。このような周辺モジュールには次のようなものが含まれます。

- SPI
- I²C™
- DCI
- UART
- CAN

12.4 バウンダリ スキャン セル接続

PIC24F デバイスは JTAG バウンダリ スキャンをサポートしています。バウンダリ スキャンセル (BSC) は、図 12-3 に示すように内部 I/O ロジック回路と I/O ピンの間に挿入されています。すべての I/O パッドがバウンダリ スキャンセルを持っています。標準の I/O 動作の場合、BSC は無効化されバイパスされます。BSC の出力有効化の入力は、直接 BSC 出力有効化に接続されており、BSC 出力データの入力は BSC 出力データに直結されています。バウンダリ スキャンセルを持っていないパッドは電源パッド (VDD、VSS、VCAP/VDDCORE) と JTAG パッド (TCK、TDI、TDO、TMS) です。

図 12-3: バウンダリ スキャン セル接続



12.5 ポートの説明

有効な I/O ポートと周辺モジュールの多重化状況についての詳細は、個別デバイスのデータシートを参照して下さい。

12.6 状態変化通知 (CN) ピン

状態変化通知 (CN) ピンは、PIC24F デバイスに選択した入力ピン状態の変化に応じてプロセッサに対し割り込み要求を生成します。最高 24 の入力ピンが CN 割り込み生成用に選択 (有効化) できます。使用可能な CN 入力の総数は選択した PIC24F デバイ스에 依存します。詳細はデバイスデータシートを参照してください。

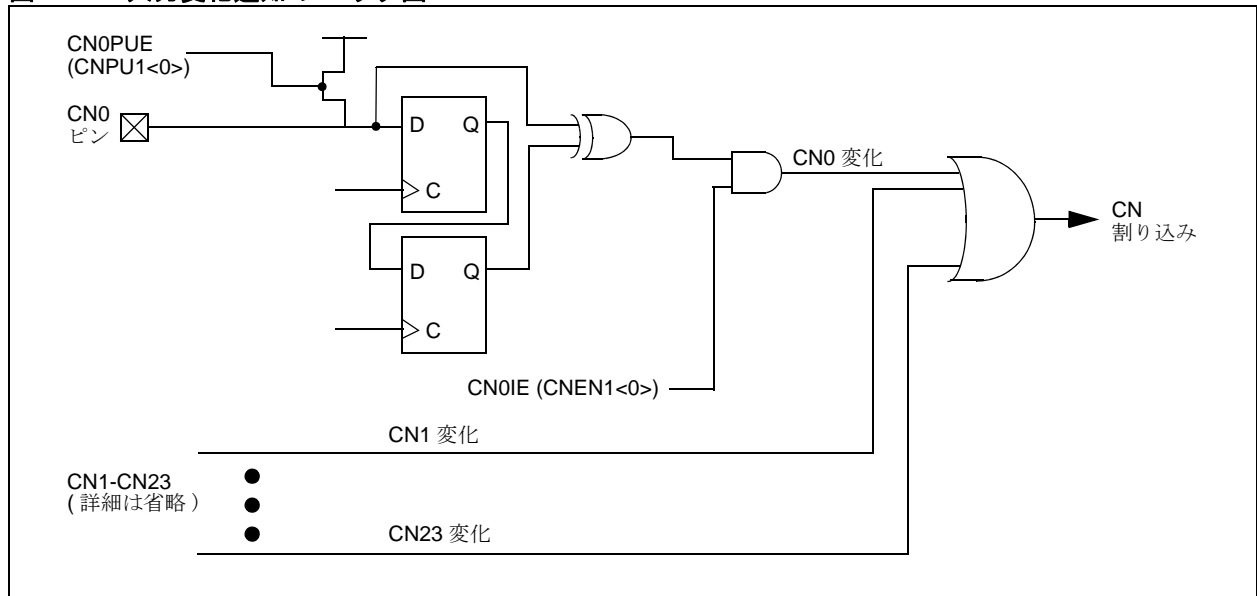
図 12-4 は CN ハードウェアの基本機能を示しています。

12.6.1 CN 制御レジスタ

CN モジュールには 4 つの関連制御レジスタがあります。CNEN1 および CNEN2 レジスタは、「x」が CN 入力ピンの番号を意味する CNxIE 制御ビットを含みます。CN 入力ピンが CPU に割り込むためには CNxIE ビットをセットしてください。

CNPU1 および CNPU2 レジスタは CNxPUE 制御ビットを含みます。各 CN ピンは CNxPUE 制御ビットで有効化、無効化できる弱プルアップ デバイスを持っています。弱プルアップ デバイスはピンへの電流源として動作し、押しボタンまたはキーパッド デバイスが接続された場合、外部抵抗を不要にできます。CN プルアップ デバイスの電流仕様について詳しくは個別デバイスのデータ シートの「電氣的仕様」の章を参照してください。

図 12-4: 入力変化通知 ブロック図



12.6.2 CN の構成と動作

CN ピンは次のように構成できます。

1. TRISx レジスタの対応ビットをセットすることで、CN ピンがデジタル入力として構成されていることを確認する
2. CNEN1 および CNEN2 レジスタの適切なビットをセットすることで、選択した CN ピンの割り込みを有効化する
3. CNPU1 および CNPU2 レジスタの適切なビットをセットすることで、選択した CN ピンの弱プルアップをオンにする（必要な場合）
4. CNIF (IFS1<3>) 割り込みフラグをクリアする
5. CNIP<2:0> 制御ビット (IPC3<14:12>) を使用して、CN 割り込みに希望する割り込み優先順位を選択する
6. CNIE (IEC0<3>) 制御ビットを使用して、CN 割り込みを有効化する

CN 割り込みが発生した場合、ユーザーは CN ピンに対応する PORT レジスタを読み出す必要があります。これにより不一致条件が解消され、次のピン変化を検出するよう CN ロジックが設定されます。現在の PORT 値は、変化のあったピンを判断するため最終 CN 割り込み時の PORT 読み込み値と比較されます。

CN ピンには最小入力パルス幅仕様が 있습니다。詳しくは個別デバイスのデータシートの「電氣的仕様」の章を参照してください。

12.6.3 スリープとアイドルモード中の CN 動作

CN モジュールはスリープまたはアイドルモード中も継続して動作します。有効化された CN ピンのうち 1 つの状態が変化した場合、CNIF(IFS1<3>) ステータスビットがセットされます。CNIE ビット (IEC1<3>) がセットされていると、デバイスはスリープまたはアイドルモードからウェイクアップし動作を再開します。

CN 割り込みに割り当てられた優先レベルが、現行の CPU 優先レベルに等しいか低い場合、デバイス実行はスリープまたはアイドル命令のすぐ次の命令から継続します。CN 割り込みに割り当てられた優先レベルが、現行の CPU 優先レベルよりも高い場合、デバイス実行は CN 割り込みベクタ アドレスから継続します。

レジスタ 12-1: CNEN1: 入力変化通知割り込み有効化レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN15IE	CN14IE	CN13IE	CN12IE	CN11IE	CN10IE	CN9IE	CN8IE
ビット 15							ビット 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN7IE	CN6IE	CN5IE	CN4IE	CN3IE	CN2IE	CN1IE	CN0IE
ビット 7							ビット 0

凡例:

R = 読み出し可
-n = POR 後の値

W = 書き込み可
'1' = セット

U = 未実装、読むと「0」
'0' = クリア
x = 不定

ビット 15-0 CNxIE: 入力変化通知割り込み有効化ビット

1 = 入力変化の割り込みを有効にする
0 = 入力変化の割り込みを無効にする

レジスタ 12-2: CNEN2: 入力変化通知割り込み有効化レジスタ 2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	—	—	—	—
ビット 15							ビット 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN23IE	CN22IE	CN21IE	CN20IE	CN19IE	CN18IE	CN17IE	CN16IE
ビット 7							ビット 0

凡例:

R = 読み出し可
-n = POR 後の値

W = 書き込み可
'1' = セット

U = 未実装、読むと「0」
'0' = クリア
x = 不定

ビット 15-8 未実装: 読むと「0」

ビット 7-0 CNxIE: 入力変化通知割り込み有効化ビット

1 = 入力変化の割り込みを有効にする
0 = 入力変化の割り込みを無効にする

PIC24F ファミリ リファレンス マニュアル

レジスタ 12-3: CNPU1: 入力変化通知プルアップ有効化レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN15PUE	CN14PUE	CN13PUE	CN12PUE	CN11PUE	CN10PUE	CN9PUE	CN8PUE
ビット 15							ビット 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN7PUE	CN6PUE	CN5PUE	CN4PUE	CN3PUE	CN2PUE	CN1PUE	CN0PUE
ビット 7							ビット 0

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

ビット 15-0 CNxPUE: 入力変化通知プルアップ有効化ビット

1 = 入力変化のプルアップを有効にする
 0 = 入力変化のプルアップを無効にする

レジスタ 12-4: CNPU2: 入力変化通知プルアップ有効化レジスタ 2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	—	—	—	—
ビット 15							ビット 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN23PUE	CN22PUE	CN21PUE	CN20PUE	CN19PUE	CN18PUE	CN17PUE	CN16PUE
ビット 7							ビット 0

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

ビット 15-8 未実装: 読むと「0」

ビット 7-0 CNxPUE: 入力変化通知プルアップ有効化ビット

1 = 入力変化のプルアップを有効にする
 0 = 入力変化のプルアップを無効にする

12.7 レジスタ マップ

PIC24F I/O ポートに関連するレジスタのまとめを表 12-1 と表 12-2 に示します。

表 12-1: I/O ポートに関連する特殊機能レジスタ

名称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット後
TRISx	PORTx データ方向制御レジスタ																FFFF
LATx	PORTx データ ラッチ レジスタ																xxxx
PORTx	Rx15	Rx14	Rx13	Rx12	Rx11	Rx10	Rx9	Rx8	Rx7	Rx6	Rx5	Rx4	Rx3	Rx2	Rx1	Rx0	xxxx
ODCx	PORTx オープン ドレイン制御レジスタ																0000

注 1: I/O レジスタ マップの詳細については、各デバイスのデータシートを参照して下さい。

表 12-2: 状態変化通知ピンに関連する特殊機能レジスタ

名称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット後
CNEN1	CN15IE	CN14IE	CN13IE	CN12IE	CN11IE	CN10IE	CN9IE	CN8IE	CN7IE	CN6IE	CN5IE	CN4IE	CN3IE	CN2IE	CN1IE	CN0IE	0000
CNEN2	—	CN30IE	CN29IE	CN28IE	CN27IE	CN26IE	CN25IE	CN24IE	CN23IE	CN22IE	CN21IE	CN20IE	CN19IE	CN18IE	CN17IE	CN16IE	0000
CNPU1	CN15PUE	CN14PUE	CN13PUE	CN12PUE	CN11PUE	CN10PUE	CN9PUE	CN8PUE	CN7PUE	CN6PUE	CN5PUE	CN4PUE	CN3PUE	CN2PUE	CN1PUE	CN0PUE	0000
CNPU2	—	CN30PUE	CN29PUE	CN28PUE	CN27PUE	CN26PUE	CN25PUE	CN24PUE	CN23PUE	CN22PUE	CN21PUE	CN20PUE	CN19PUE	CN18PUE	CN17PUE	CN16PUE	0000

凡例: — = 未実装、読むと「0」

注: I/O レジスタ マップの詳細については、各デバイスのデータシートを参照して下さい。

12.8 関連するアプリケーションノート

この項では、マニュアルのこの章に関連するアプリケーションノートをリストアップします。これらのアプリケーションノートは、特に PIC24F デバイス ファミリー用に書かれているわけではありませんが、その概念は適切であり、変更あるいは制限事項を考慮して使用可能です。現在、I/O ポートに関連するアプリケーションノートは次の通りです。

タイトル	アプリケーション ノート #
キー押しによるウェイク アップの実装	AN552

注: PIC24F ファミリ デバイスに関するその他のアプリケーション ノートやコード例についてはマイクロチップ ウェブ サイト (www.microchip.com) をご覧下さい。

12.9 改版履歴

リビジョン A (2006 年 8 月)

本文書の初版リリース。

ノート: