
第 13 章 パラレル マスター ポート (PMP)

ハイライト

本章では次のトピックについて説明します。

13.1 はじめに	13-2
13.2 モジュール関連レジスタ	13-3
13.3 スレーブ ポート モード	13-11
13.4 マスター ポート モード	13-16
13.5 アプリケーション例	13-25
13.6 省電力モードでの動作	13-28
13.7 AC 電気的特性	13-29
13.8 レジスタ マップ	13-32
13.9 関連するアプリケーションノート	13-33
13.10 改版履歴	13-34

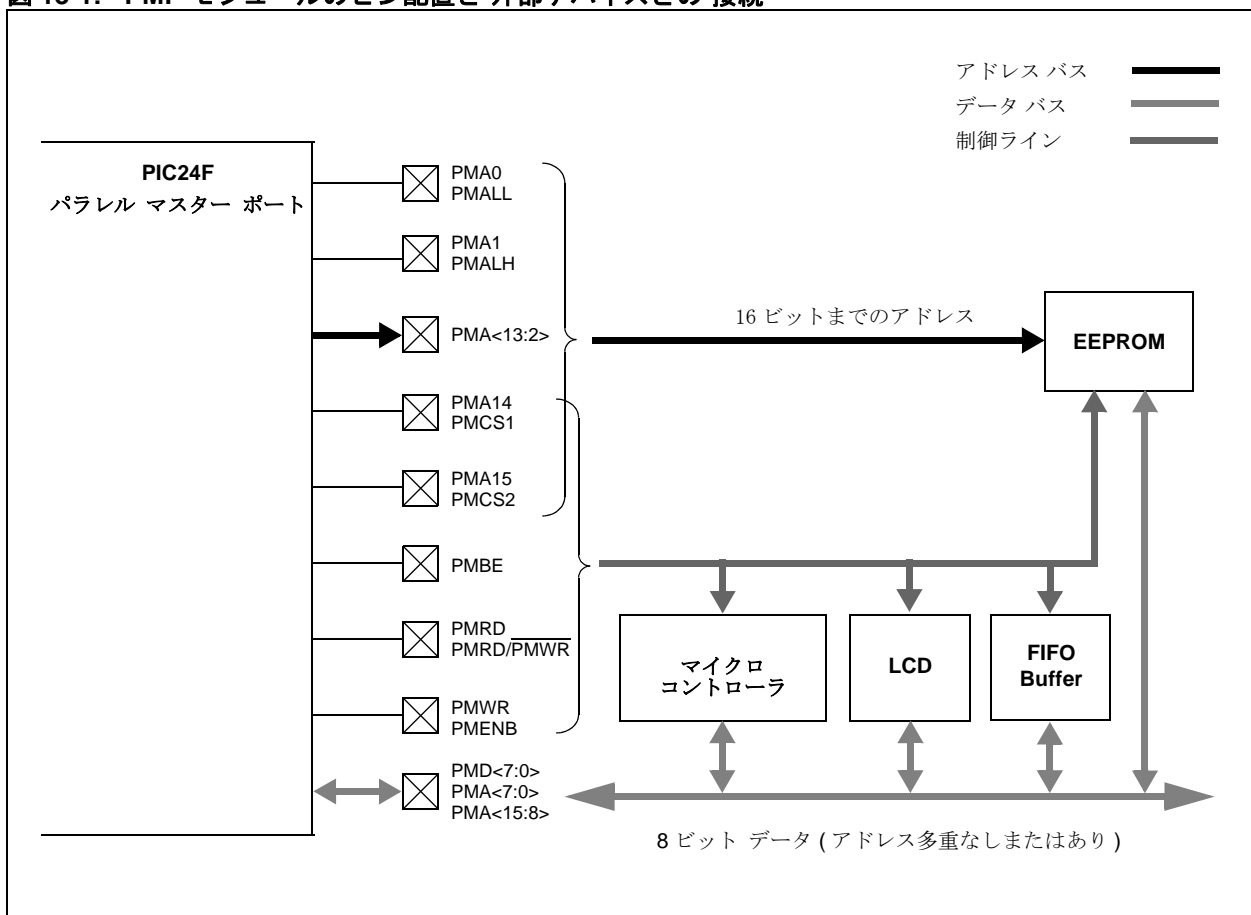
13.1 はじめに

パラレル マスター ポート (PMP) は、8 ビット パラレルの I/O モジュールで、通信周辺モジュールや、LCD、外部メモリ デバイス、マイクロコントローラなどの広範囲のパラレル デバイスとの通信ができるよう設計されています。パラレル 周辺モジュールとのインターフェースは非常に多岐にわたるので、PMP モジュールは高い柔軟性をもっています。

PMP モジュールの主な特徴には次の内容が含まれます。

- 8 本のデータ ライン
- 16 本までのプログラマブルなアドレス ライン
- 2 本までのチップ選択ライン
- プログラマブルなストローク オプション
 - 独立した読み出し、書き込みストローク、または
 - イネーブル ストローク付き読み出し/書き込み ストローク
- アドレスの自動インクリメント/自動デクリメント
- プログラマブルなアドレス/データ多重化
- 制御信号の極性はプログラマブル
- 従来のパラレル スレーブ ポート (PSP) をサポート
- 拡張パラレル スレーブ ポートをサポート
 - アドレス サポート
 - 4 バイト深さの自動インクリメント バッファ
- プログラマブルなウェイト状態

図 13-1: PMP モジュールのピン配置と 外部デバイスとの 接続



13.2 モジュール関連レジスタ

PMP モジュールはこれらの特殊機能レジスタを使います。

- PMCON
- PMMODE
- PMADDR/PMDOUT1
- PMDOUT2
- PMDIN1
- PMDIN2
- PMAEN
- PMSTAT

13.2.1 PMCON レジスタ

パラレル マスター ポート制御レジスタ (レジスタ 13-1) は、モジュールの多くの基本機能の制御ビットを含んでいます。主なビットは **PMPEN** で、モジュールを有効化あるいは無効化するのと同様にモジュールをリセットするのに使用します。モジュールが無効化されると、関連するすべての I/O ピンが指定された I/O 機能に戻ります。さらに、すべての読み出し、書き込み動作はアクティブかペンディング中かに関わらず停止され、**BUSY** ビットがクリアされます。モジュールレジスタ内のデータは **PMSTAT** を含めて保持されます。したがって、モジュールは受信後に無効化でき、最後に受信したデータとステータスは依然処理に使用できます。モジュールが有効化されると、**PMSTAT** を含む全てのバッファ制御ロジックがリセットされます。

PMCON レジスタのその他のすべてのビットは、アドレス多重化の制御、種々のポート制御信号の有効化、制御信号の極性選択です。これらについての詳細は **13.4.1 章「パラレル マスター ポート構成のオプション」** にあります。

13.2.2 PMMODE レジスタ

パラレル マスター ポート モード レジスタ (レジスタ 13-2) は、モジュールの動作モードを制御するビットを含んでいます。マスター/スレーブ モード選択も、両方のモードでのオプション構成も同じようにこのレジスタで設定されます。さらに汎用ステータス フラグの **BUSY** も含んでいて、マスター モードでモジュールが動作中であることを示すのに使用されます。

PMP 動作を構成する **PMMODE** ビットの使い方の詳細は **13.3 章「スレーブ ポート モード」** と **13.4 章「マスター ポート モード」** で説明しています。

13.2.3 PMADDR/PMDOUT1 レジスタ

選択したモードに応じて、この単一のレジスタが 2 つの機能を果たします。マスター モードのときは、レジスタは **PMADDR**、つまりパラレル ポート アドレス レジスタ (レジスタ 13-3) として機能します。これには出力データの書き込みをしようとするアドレスを含み、同時に、パラレル スレーブ デバイスのアドレス指定用のチップ選択ビットとしても使用されます。

スレーブ モードでは、レジスタ機能は **PMDOUT1** となり、出力データ用のバッファとして働きます。この動作については **13.3.2 章「バッファ付きパラレル スレーブ ポート モード」** で説明しています。

13.2.4 PMDOUT2 レジスタ

パラレル マスター ポート データ出力 2 レジスタは、スレーブ モードのときの出力データ バッファ用としてのみ使用されます。 **PMDOUT1** と同じように使用されます。

13.2.5 PMDIN1 と PMDIN2 レジスタ

パラレルマスターポートデータ入力1とデータ入力2レジスタは、入力データ用のバッファとして使用されます。PMDIN1はマスターとスレーブの両モードのモジュールで使用されます。スレーブモードでは、このレジスタは非同期でクロック入力されるデータ保持用に使用されます。この動作については13.3.2章「バッファ付きパラレルスレーブポートモード」で説明しています。

マスターモードでは、PMDIN1は入力と出力データの両方の保持レジスタとなります。マスターモードのときのこのレジスタ動作については13.4.2章「読み出し動作」と13.4.3章「書き込み動作」で説明しています。PMDIN2はバッファ付きスレーブモードでのみ入力データ用として使用されます。バッファ付きスレーブモード中のこのレジスタ動作はPMDIN1と似ています。

13.2.6 PMAEN レジスタ

パラレルマスターポートアドレス有効化レジスタ(レジスタ13-4)は、このモジュールに対応するアドレスとチップ選択ピンの動作制御をします。これらのビットをセットすると、対応するマイクロコントローラのピンをPMPモジュール用に設定し、このビットをクリアすると、ピンをポートI/Oかあるいはこのピンに関連する他の周辺モジュール用に設定します。

13.2.7 PMSTAT レジスタ

パラレルマスターポートステータスレジスタ(レジスタ13-5)は、ポートがスレーブポート機能のときにバッファ付き動作モードに関連するステータスビットを含みます。これにはオーバーフロー、アンダーフロー、フルフラグビットが含まれます。これらのフラグの詳細については、13.3.2章「バッファ付きパラレルスレーブポートモード」で説明しています。

13.2.8 その他のレジスタ

PMP専用のレジスタに加えて、PADCFG1レジスタもPMPモジュールの構成に関連します。PMP TTLビット(PADCFG1<0>)は、外部回路とより良い互換性を持つように、デジタル入力をTTLとするかシュミットトリガ(ST)とするかをユーザーが選択できるようにします。PMP TTLをセットするとTTL入力バッファを選択します。初期構成はST(シュミットトリガ)バッファになっています。

PADCFG1レジスタについては、第29章「リアルタイムクロック・カレンダー(RTCC)」でも説明しています。

レジスタ 13-1: PMCON: パラレル マスター ポート制御レジスタ

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PMPEN	—	PSIDL	ADMUX1	ADMUX0	PTBEEN	PTWREN	PTRDEN
ビット 15						ビット 8	

R/W-0	R/W-0	R/W-0 ⁽¹⁾	R/W-0 ⁽¹⁾	R/W-0 ⁽¹⁾	R/W-0	R/W-0	R/W-0
CSF1	CSF0	ALP	CS2P	CS1P	BEP	WRSP	RDSP
ビット 7						ビット 0	

凡例:

R = 読み込み可	W = 書き込み可	U = 未実装、読むと '0'
-n = リセット後の値	'1' = セット	'0' = クリア
		x = 不定

- ビット 15 **PMPEN:** パラレル マスター ポート有効化ビット
 1 = PMP 有効化
 0 = PMP 無効化、オフチップへのアクセスは実行されない
- ビット 14 **未実装:** 読むと「0」
- ビット 13 **PSIDL:** アイドル モード時停止ビット
 1 = デバイスがアイドルモード中はモジュール動作停止
 0 = アイドル モード中もモジュール動作継続
- ビット 12-11 **ADMUX1:ADMUX0:** アドレス / データ多重化選択ビット
 11 = 予約
 10 = アドレス 16 ビットをすべて PMD<7:0> ピンに多重化する
 01 = アドレスの下位 8 ビットを PMD<7:0> ピンに多重化し、上位 8 ビットは PMA<15:8> に多重化
 00 = アドレスとデータは別々のピンを使用
- ビット 10 **PTBEEN:** バイトイネーブルポート有効化ビット (16 ビット マスター モードのとき)
 1 = PMBE ポートを有効化
 0 = PMBE ポートを無効化
- ビット 9 **PTWREN:** 書き込みイネーブル ストローブ ポート有効化ビット
 1 = PMWR/PMENB ポート有効化
 0 = PMWR/PMENB ポート無効化
- ビット 8 **PTRDEN:** 読み出し / 書き込み ストローブ ポート有効化ビット
 1 = PMRD/PMWR ポート有効化
 0 = PMRD/PMWR ポート無効化
- ビット 7-6 **CSF1:CSF0:** チップ選択機能ビット
 11 = 予約
 10 = PMCS1 と PMCS2 機能をチップ選択とする
 01 = PMCS2 機能はチップ選択、PMCS1 機能はアドレスのビット 14
 00 = PMCS1 と PMCS2 機能はアドレスのビット 15 と 14
- ビット 5 **ALP:** アドレス ラッチ極性ビット⁽¹⁾
 1 = アクティブ High (PMALL と PMALH)
 0 = アクティブ Low (PMALL と PMALH)
- ビット 4 **CS2P:** チップ選択 1 極性ビット⁽¹⁾
 1 = アクティブ High (PMCS2)
 0 = アクティブ Low (PMCS2)
- ビット 3 **CS1P:** チップ選択 0 極性ビット⁽¹⁾
 1 = アクティブ High (PMCS1/PMCS2)
 0 = アクティブ Low (PMCS1/PMCS2)

注 1: これらのビットは、対応するピンがアドレスラインとして使用された場合は無効。

レジスタ 13-1: PMCON: パラレル マスター ポート制御レジスタ (続き)

- ビット 2 **BEP:** バイトイネーブル極性ビット
1 = バイトイネーブル アクティブ High (PMBE)
0 = バイトイネーブル アクティブ Low (PMBE)
- ビット 1 **WRSP:** 書き込み ストローブ極性ビット
スレーブ モードおよびマスター モード 2 の場合 (PMMODE<9:8> = 00, 01, 10)
1 = 書き込みストローブ アクティブ High (PMWR)
0 = 書き込みストローブ アクティブ Low (PMWR)
マスター モード 1 の場合 (PMMODE<9:8> = 11)
1 = イネーブル ストローブ アクティブ High (PMENB)
0 = イネーブル ストローブ アクティブ Low (PMENB)
- ビット 0 **RDSP:** 読み出し ストローブ極性ビット
スレーブ モードおよびマスター モード 2 の場合 (PMMODE<9:8> = 00, 01, 10)
1 = 読み出しストローブ アクティブ High (PMRD)
0 = 読み出しストローブ アクティブ Low (PMRD)
マスター モード 1 の場合 (PMMODE<9:8> = 11)
1 = 読み出し / 書き込みストローブ アクティブ High (PMRD/PMWR)
0 = 読み出し / 書き込みストローブ アクティブ Low (PMRD/PMWR)

注 1: これらのビットは、対応するピンがアドレスラインとして使用された場合は無効。

第 13 章 パラレル マスター ポート (PMP)

レジスタ 13-2: PPMODE: パラレル マスター ポート モード レジスタ

R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
BUSY	IRQM1	IRQM0	INCM1	INCM0	MODE16	MODE1	MODE0
ビット 15						ビット 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WAITB1 ⁽¹⁾	WAITB0 ⁽¹⁾	WAITM3	WAITM2	WAITM1	WAITM0	WAITE1 ⁽¹⁾	WAITE0 ⁽¹⁾
ビット 7						ビット 0	

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = リセット後の値 '1' = セット '0' = クリア x = 不定

- ビット 15 **BUSY**: ビジー ビット (マスター モードのみ)
 1 = ポートはビジー
 0 = ポートはビジーではない
- ビット 14-13 **IRQM1:IRQM0**: 割り込み要求モード ビット
 11 = 読み出しバッファ3 読み出しか書き込みバッファ3 書き込みで割り込み発生 (バッファ付き PSP モード)
 または PMA<1:0> = 11 のときの読み出しまたは書き込み動作で発生 (アドレス指定 PSP モードのみ)
 10 = 予約
 01 = 読み出し / 書き込みサイクルの最後で割り込み発生
 00 = 割り込み発生しない
- ビット 12-11 **INCM1:INCM0**: インクリメント モード ビット
 11 = PSP 読み出しまたは書き込みでバッファ自動インクリメント (従来 PSP モードのみ)
 10 = 毎回の読み出し / 書き込みサイクルごとに ADDR<15,13:0> をデクリメント
 01 = 毎回の読み出し / 書き込みサイクルごとに ADDR<15,13:0> をインクリメント
 00 = アドレスのインクリメントもデクリメントもしない
- ビット 10 **MODE16**: 8/16 ビット モード ビット
 1 = 16 ビット モード: データ レジスタは 16 ビットで、データ レジスタの読み出し、書き込みは 2
 回の 8 ビット転送を引き起こす
 0 = 8 ビット モード: データ レジスタは 8 ビットで、データ レジスタの読み出し、書き込みは 1 回
 の 8 ビット転送を引き起こす
- ビット 9-8 **MODE1:MODE0**: パラレル ポート モード選択ビット
 11 = マスター モード 1 (PMCS_x, PMRD/PMWR, PMENB, PMBE, PMA<x:0>, PMD<7:0>)
 10 = マスター モード 2 (PMCS_x, PMRD, PMWR, PMBE, PMA<x:0>, PMD<7:0>)
 01 = 拡張 PSP、制御信号 (PMRD, PMWR, PMCS_x, PMD<7:0>, PMA<1:0>)
 00 = 従来パラレルスレーブポート、制御信号 (PMRD, PMWR, PMCS_x, PMD<7:0>)
- ビット 7-6 **WAITB1:WAITB0**: 読み出し / 書き込みのデータセットアップのウェイトステート構成ビット⁽¹⁾
 11 = 4 Tcy データ ウェイト, 4 Tcy アドレス フェーズだけ多重化
 10 = 3 Tcy データ ウェイト, 3 Tcy アドレス フェーズだけ多重化
 01 = 2 Tcy データ ウェイト, 2 Tcy アドレス フェーズだけ多重化
 00 = 1 Tcy データ ウェイト, 1 Tcy アドレス フェーズだけ多重化
- ビット 5-2 **WAITM3:WAITM0**: バイト読み出しイネーブルストロブのウェイトステート構成ビット
 1111 = 追加ウェイト 15 Tcy
 ...
 0001 = 追加ウェイト 1 Tcy
 0000 = 追加ウェイト サイクルなし (動作を強制的に 1 Tcy で実行)
- ビット 1-0 **WAITE1:WAITE0**: ストロブ後のデータ保持のウェイトステート構成ビット⁽¹⁾
 11 = 4 Tcy ウェイト
 10 = 3 Tcy ウェイト
 01 = 2 Tcy ウェイト
 00 = 1 Tcy ウェイト

注 1: WAITB_x と WAITE_x ビットは、WAITM3:WAITM0 = 0000 の場合は常に無視される。

PIC24F ファミリ リファレンス マニュアル

レジスタ 13-3: PMADDR: パラレル マスター ポート アドレス レジスタ (マスター モードのみ)⁽¹⁾

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CS2	CS1	ADDR<13:8>					
ビット 15						ビット 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADDR<7:0>							
ビット 7						ビット 0	

凡例:							
R = 読み込み可	W = 書き込み可	U = 未実装、読むと '0'					
-n = リセット後の値	'1' = セット	'0' = クリア	x = 不定				

ビット 15 **CS2:** チップ選択 2 ビット
PMCON<7:6> = 10 または 01 の場合
 1 = チップ選択 2 をアクティブとする
 0 = チップ選択 2 を非アクティブとする
PMCON<7:6> = 11 または 00 の場合
 ビット機能は ADDR<15> となる

ビット 14 **CS1:** チップ選択 1 ビット
PMCON<7:6> = 10 の場合
 1 = チップ選択 1 をアクティブとする
 0 = チップ選択 1 を非アクティブとする
PMCON<7:6> = 11 または 0x の場合
 ビット機能は ADDR<14> となる

ビット 13-0 **ADDR13:ADDR0:** 転送先アドレス ビット

注 1: 拡張スレーブ モードのときは、PMADDR 機能は PMDOUT1 となり、2つのバッファ レジスタのひとつとなる。情報については 13.2.3 章 「PMADDR/PMDOUT1 レジスタ」を参照。

第 13 章 パラレル マスター ポート (PMP)

レジスタ 13-4: PMAEN: パラレル マスター ポート アドレス イネーブル レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTEN15	PTEN14	PTEN13	PTEN12	PTEN11	PTEN10	PTEN9	PTEN8
ビット 15							ビット 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTEN7	PTEN6	PTEN5	PTEN4	PTEN3	PTEN2	PTEN1	PTEN0
ビット 7							ビット 0

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = リセット後の値 '1' = セット '0' = クリア x = 不定

- ビット 15 **PTEN15:** PMCS2 ストロープ有効化ビット
 1 = PMA15 機能を PMA<15> または PMCS2 とする
 0 = PMA15 機能をポート I/O とする
- ビット 14 **PTEN14:** PMCS1 ストロープ有効化ビット
 1 = PMA14 機能を PMA<14> または PMCS1 とする
 0 = PMA14 機能をポート I/O とする
- ビット 13-2 **PTEN13:PTEN2:** PMP アドレス ポート有効化ビット
 1 = PMA<13:2> 機能を PMP アドレス ラインとする
 0 = PMA<13:2> 機能をポート I/O とする
- ビット 1-0 **PTEN1:PTEN0:** PMALH/PMALL ストロープ有効化ビット
 1 = PMA1、PMA0 の機能を PMA<1:0> または PMALH、PMALL とする
 0 = PMA1、PMA0 の機能をポート I/O とする

PIC24F ファミリ リファレンス マニュアル

レジスタ 13-5: PMSTAT: パラレル マスター ポート ステータス レジスタ (スレーブ モードのみ)

R-0	R/W-0 HS	U-0	U-0	R-0	R-0	R-0	R-0
IBF	IBOV	—	—	IB3F	IB2F	IB1F	IB0F
ビット 15						ビット 8	

R-1	R/W-0 HS	U-0	U-0	R-1	R-1	R-1	R-1
OBE	OBUF	—	—	OB3E	OB2E	OB1E	OB0E
ビット 7						ビット 0	

凡例:	HS = ハードウェア セット	HC = ハードウェア クリア
R = 読み込み可	W = 書き込み可	U = 未実装、読むと '0'
-n = リセット後の値	'1' = セット	'0' = クリア
		x = 不定

- ビット 15 **IBF**: 入力バッファ フル ステータス ビット
 1 = すべての書き込み可能な入力バッファ レジスタが一杯
 0 = 書き込み可能な入力バッファ レジスタのいくつかまたはすべて空いている
- ビット 14 **IBOV**: 入力バッファ オーバー フロー ステータス ビット
 1 = フルの入力バイト レジスタに書き込もうとした (ソフトウェアでクリアする必要がある)
 0 = オーバー フローは起きていない
- ビット 13-12 **未実装**: 読むと「0」
- ビット 11-8 **IBnF**: 入力バッファ n のフル ステータス ビット
 1 = 入力バッファ内のデータが読み出されていない (バッファ読み出しでこのビットはクリアされる)
 0 = 入力バッファには未読のデータはない
- ビット 7 **OBE**: 出力バッファ空ステータス ビット
 1 = 読み出し可の全出力バッファ レジスタが空
 0 = 読み出し可の出力バッファ レジスタのいくつかまたはすべてにデータあり
- ビット 6 **OBUF**: 出力バッファ アンダー フロー ステータス ビット
 1 = 空の出力バイト レジスタからの読み出しが発生した (ソフトウェアでクリアする必要がある)
 0 = アンダー フローは起きていない
- ビット 5-4 **未実装**: 読むと「0」
- ビット 3-0 **OBnE**: 出力バッファ n の空ステータス ビット
 1 = 出力バッファは空 (バッファへのデータ書き込みでこのビットはクリアされる)
 0 = 出力バッファのデータは未送信

13.3 スレーブ ポート モード

スレーブ モードのとき、PMP モジュールは 8 ビット データ バスと、スレーブ パラレル デバイスとしての動作に必要な全制御信号を提供します。また、従来のバッファ付きのアドレス指定可モードの動作にも構成可能です。スレーブ モードはより柔軟なインターフェースのためいくつかのオプションを提供します。

- 8 ビット データ バス
- 2 アドレス ライン (アドレス指定可モードのみ)
- 3 制御ライン (読み出し、書き込み、チップ選択)
- 全制御ラインの極性選択可能

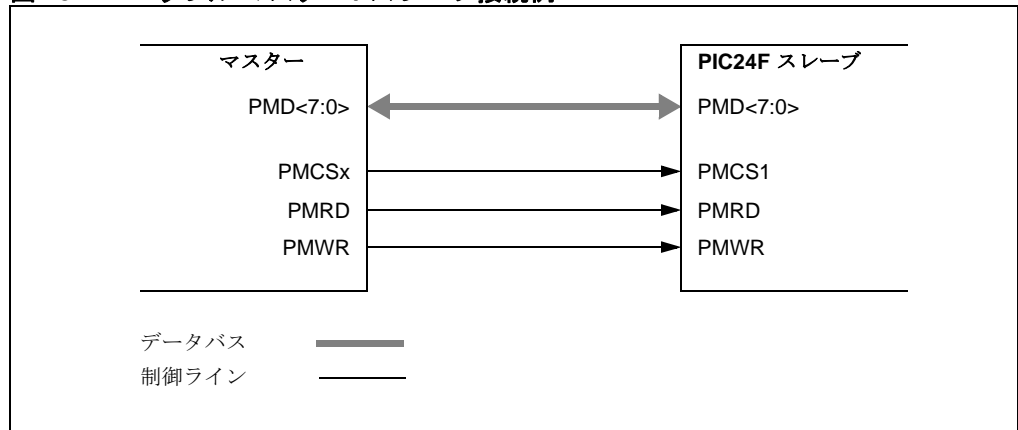
PMP をスレーブとして使用するには、モジュールを有効とし (PMPEN = 1)、2 つのスレーブ モードのいずれかにモードを設定 (PMMODE<9:8> = 01 または 00) します。

13.3.1 従来モード

従来モード (PMPEN = 1 かつ PMMODE<9:8> = 00) のときは、モジュールはモジュール専用のモジュールイネーブルピンを持ったパラレルスレーブポートに構成されます。このモードでは、他のマイクロコントローラや、マイクロプロセッサなどの外部デバイスが、8 ビット データバス (PMD<7:0>)、読み出し (PMRD)、書き込み (PMWR)、チップ選択 (PMCSx) 入力を使って非同期に読み出し、書き込みができます。

注: PMCS1 は、すべてのスレーブモードでチップ選択ピンとして使用されます。PMCS2 はマスターモードでのみ使用されます。

図 13-2: パラレル マスター / スレーブ 接続例



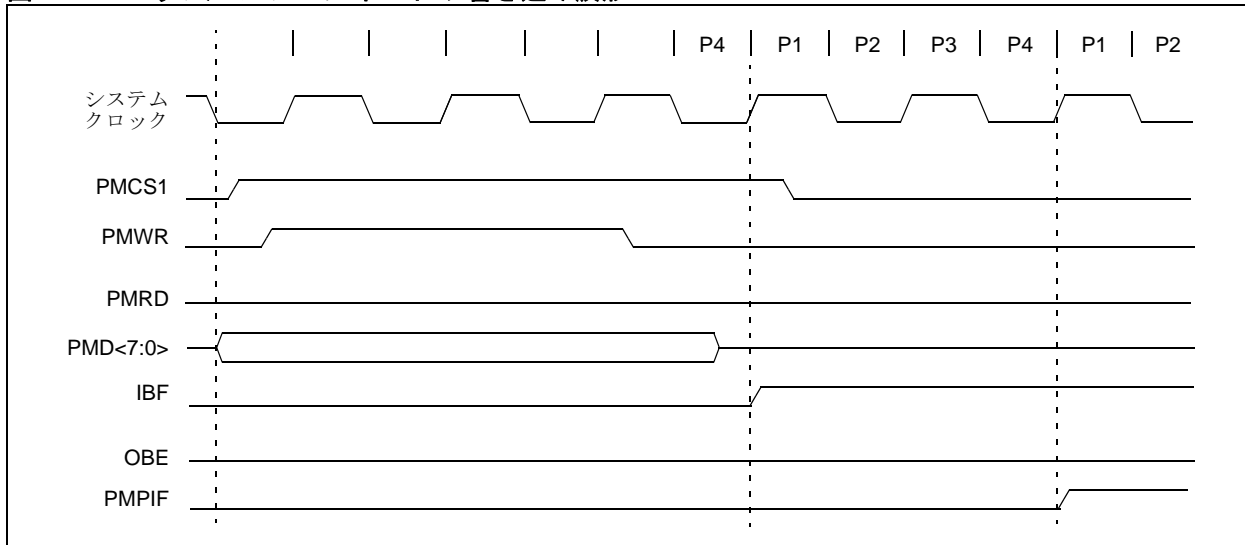
13.3.1.1 スレーブポートへの書き込み

チップ選択がアクティブで、書き込みストロブされていれば (PMCS1 = 1 かつ PMWR = 1)、PMD<7:0> のデータは PMDIN1 レジスタ (PMDIN1<7:0>) の下位 8 ビットに取り込まれます。PMPIF と IBF フラグビットが書き込みの完了でセットされます。

書き込みモードのときの制御信号のタイミングを図 13-3 に示します。制御信号の極性は構成可能です。

注 1: P クロックとシステムクロックサイクルとの関係を図 13-3 と図 13-4 に示しますが、このタイミング図は本項のすべてに適用されます。

図 13-3: パラレル スレーブ ポートの 書き込み波形

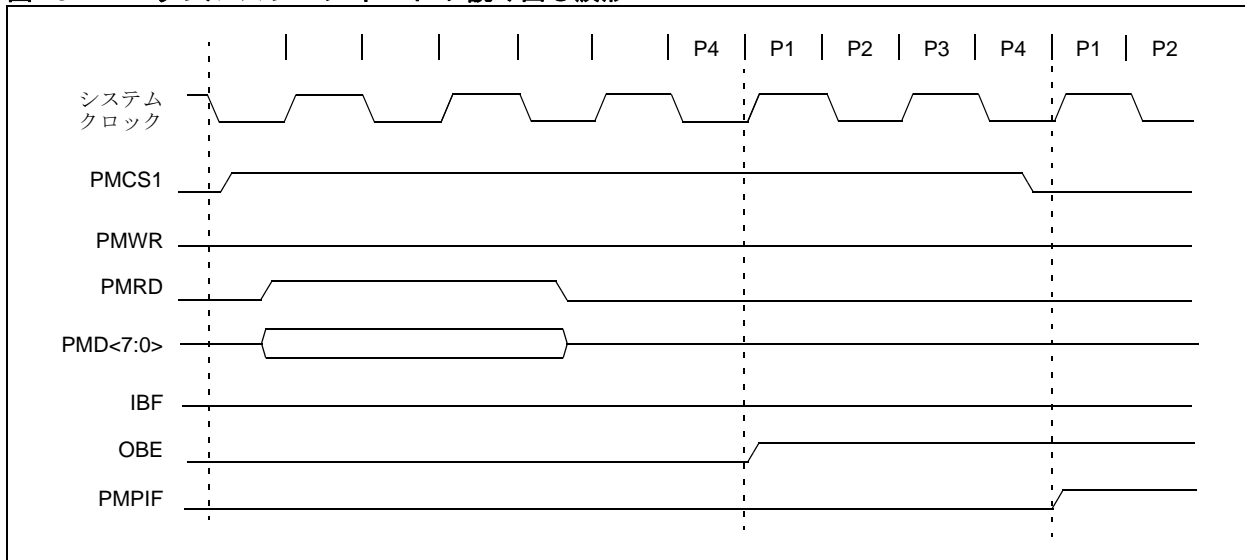


13.3.1.2 スレーブ ポートからの読み出し

チップ選択がアクティブで読み出しストロブが発生すれば (PMCS1 = 1 かつ PMRD = 1)、PMDOUT1 レジスタ (PMDOUT1<7:0>) の下位 8 ビットからのデータは PMD<7:0> に出力されます。PMDIN1<7:0> のデータが読み出されると出力バッファ空フラグの OBE がセットされます。ユーザーが OBE をクリアするために新たなデータを PMDIN1<7:0> に書き込むと、データは直ちに読み出されますが、OBE はクリアされません。

読み出しモードのときの制御信号のタイミングを図 13-4 に示します。

図 13-4: パラレル スレーブ ポートの 読み出し波形



13.3.1.3 割り込み動作

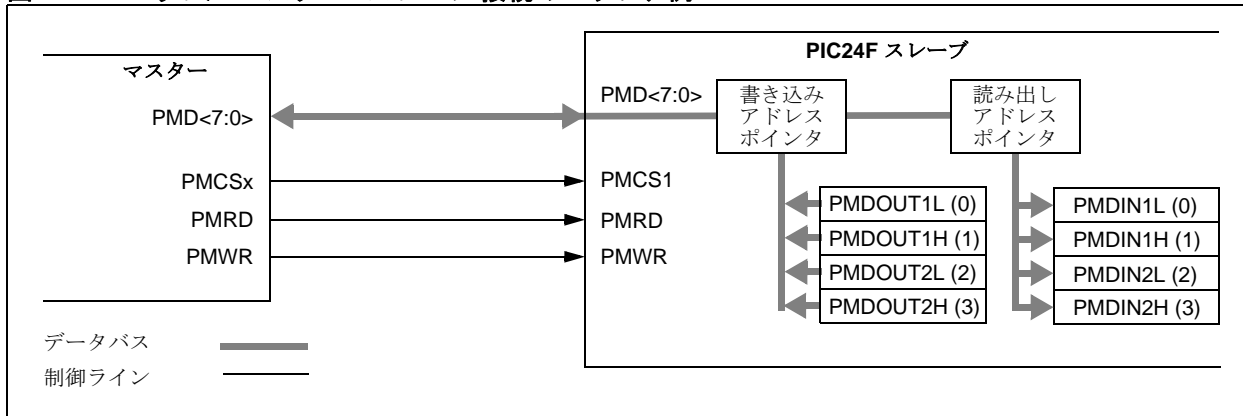
PMCS1 または PMRD ラインが High となると、ポート ピンは入力状態に戻り、PMPIF ビットがセットされます。ユーザー アプリケーションではモジュール サービス前に PMPIF がセットされるのを待つ必要があります。これが起きたら、IBF または OBE ビットを調べることで、適切な動作を実行できます。

13.3.2 バッファ付きパラレル スレーブ ポート モード

バッファ付きパラレル スレーブ モードは、機能的に従来のパラレル スレーブ ポート モードと 1 つの例外を除き同等です。それは、4 レベルの読み出しと書き込み バッファが実装されていることです。バッファ付き PSP モードは INCM<1:0> ビット (PMMODE<12:11>) を「11」にセットすることで有効になります。

バッファ付きモードがアクティブにされると、モジュールは PMDIN1 と PMDIN2 レジスタを書き込みバッファとして、PMDOUT1 と PMDOUT2 レジスタを読み出しバッファとして使用します。各レジスタは、2 つの単一バイト バッファ レジスタに分けられ、それぞれ 4 バイト深さの読み出しと書き込みバッファを別々に生成します。バッファは 0 から 3 に番号付けされ、PMDIN1 または PMDOUT1 の下位バイトから始まり、PMDIN2 (PMDOUT2) の高位バイトに向かって進みます。

図 13-5: パラレル マスター/スレーブ 接続のバッファ例



13.3.2.1 スレーブ ポートからの読み出し

読み出し動作では、バイトはバッファ 0(PMDOUT1<7:0>) から順に読み出し ストロープごとに送り出され、バッファ 3 (PMDOUT2<15:8>) で終わります。モジュールは次に読み出すバッファ指定のため内蔵ポインタを維持しています。

それぞれのバッファは読み出しステータス ビットの OBN_E を PMSTAT レジスタに持っています。このビットは、バッファ内にバスに書き込まれていないデータがあるとクリアされ、バスにデータが書き込まれるとセットされます。現在読み出そうとしているバッファ位置が空のとき、バッファ アンダーフローが生成され、バッファ オーバーフロー フラグ ビットである OBUF (PMSTAT<6>) がセットされます。4 つすべての OBN_E ステータス ビットがセットされると、OBE ビットがセットされます。

13.3.2.2 スレーブ ポートへの書き込み

書き込み動作では、データはバッファ 0(PMDIN1<7:0>) からバッファ 3(PMDIN2<15:8>) まで順に格納されます。読み出し動作同様、モジュールは次に書き込むバッファ指定のため内蔵ポインタを管理しています。

入力バッファはそれら自身の書き込みステータス ビットの IBn_E を持っています。ビットはバッファに未読の入力データがあるとセットされ、データが読み出されていればクリアされます。フラグ ビットは書き込み ストロープでセットされます。対応する IBn_E ビットがセットされているときバッファへの書き込みが発生すると、入力バッファ オーバーフロー フラグの IBOV がセットされ、そのバッファ内のいずれの入力データも失われます。4 つの IBn_E フラグがすべてセットされると、入力バッファ フル フラグ (IBF) がセットされます。

13.3.2.3 割り込み動作

バッファ スレーブ モードでは、モジュールは読み出しや書き込み ストロープごとに割り込みを生成するように構成できます (IRQM<1:0> = 01)。また、読み出しバッファ 3 を読み出したか、書き込みバッファ 3 に書き込んだとき割り込みを生成するようにも構成でき (IRQM<1:0> = 11)、このとき 4 回目の読み出し、書き込みで割り込みます。入力データの 4 回目のバイトごとに割り込む場合、すべての入力バッファ レジスタを読み出して IBn_F フラグ ビットをクリアするようにして下さい。これらのフラグがクリアされないと、オーバーフロー条件が発生する危険があります。PMSTAT レジスタが全バッファのステータス情報を提供します。

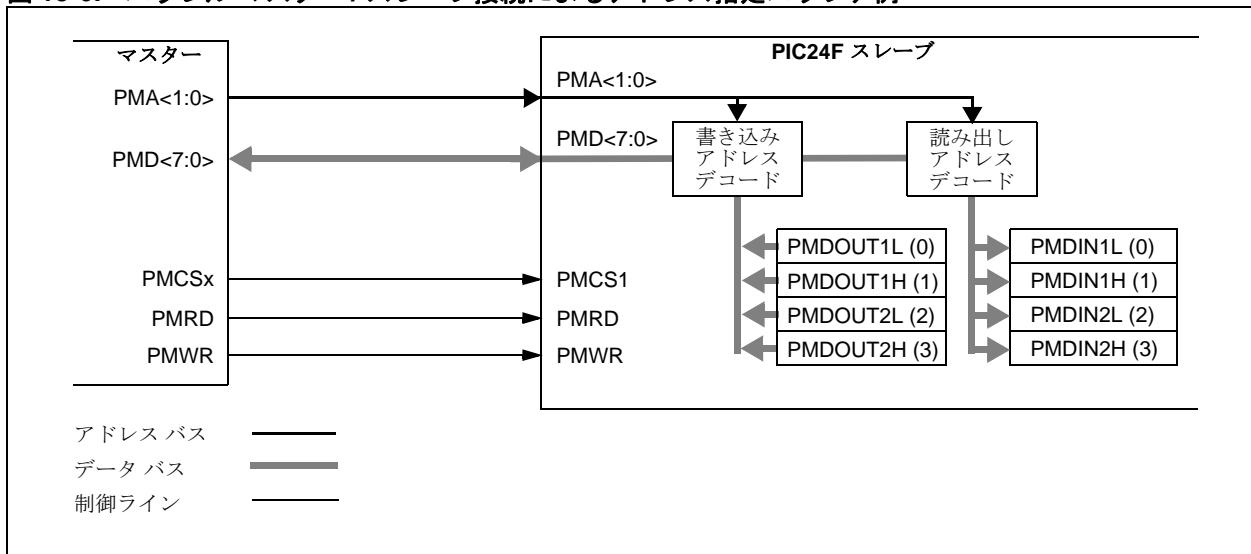
13.3.3 アドレス指定パラレルスレーブポートモード

アドレス指定パラレルスレーブポートモードでは、モジュールは2つの臨時の入力である PMA<1:0> 付きで構成されます。これで4バイトのバッファ空間を直接アドレス指定可能な読み出しと書き込みの固定のバッファのペアとします。アドレス指定 PSP モードは、MODE<1:0> ビット (PMMODE<9:8>) を「01」に設定すると有効となります。バッファ付き従来モードと同じように、データは PMDOUT1 と PMDOUT2 から出力され、PMDIN1 と PMDIN2 に読み込まれます。表 13-1 に入力アドレスがどの入出力レジスタ指定に変換されるかを示します。

表 13-1: スレーブモードアドレス変換

PMA<1:0>	出力レジスタ (バッファ)	入力レジスタ (バッファ)
00	PMDOUT1<7:0> (0)	PMDIN1<7:0> (0)
01	PMDOUT1<15:8> (1)	PMDIN1<15:8> (1)
10	PMDOUT2<7:0> (2)	PMDIN2<7:0> (2)
11	PMDOUT2<15:8> (3)	PMDIN2<15:8> (3)

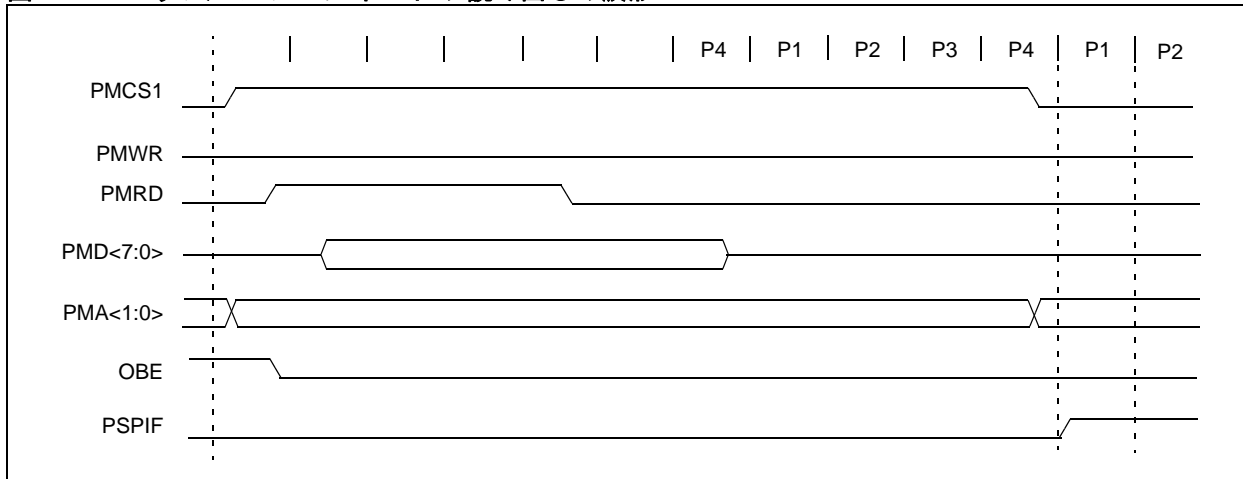
図 13-6: パラレルマスター/スレーブ接続によるアドレス指定バッファ例



13.3.3.1 スレーブポートからの読み出し

チップ選択がアクティブで、読み出しストロブがある場合 (PMCS1 = 1 かつ PMRD = 1)、4つの出力バイトのひとつからのデータが PMD<7:0> に現れます。どのバイトが読み出されるかは、PMA<1:0> にセットされる2ビットアドレスによります。表 13-1 に関連する出力レジスタとそれらの対応するアドレスを示します。出力バッファが読み出されると対応する OBN E ビットがセットされます。OBE フラグ ビットは全バッファが空になるとセットされます。いずれかのバッファが空だと OBN E = 1 となり、そのバッファを次に読み出すと OBUF (PMSTAT<6>) フラグがセットされます。

図 13-7: パラレル スレーブ ポートの 読み出しの波形

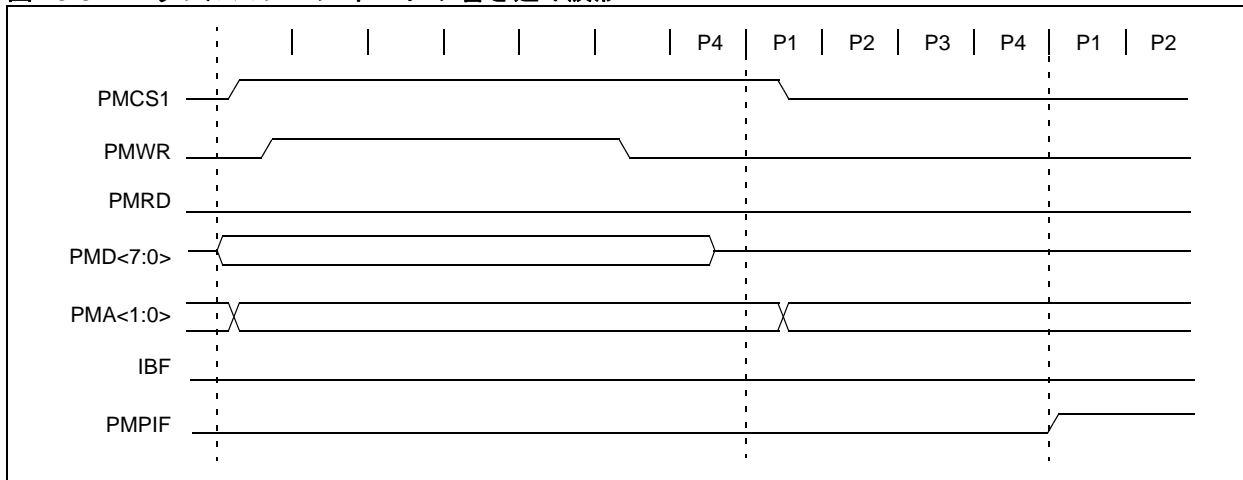


13.3.3.2 スレーブ ポートへの書き込み

チップ選択がアクティブで書き込みストロブが発生すると (PMCS1 = 1かつPMWR = 1)、PMD<7:0>からのデータは、4つの入力バッファバイトのひとつに取り込まれます。どのバイトに書き込まれるかは PMA<1:0>にセットされた2ビットのアドレスによります。表 13-1 に対応する入力レジスタとそれらの対応するアドレスを示します。

入力バッファが書き込まれると、対応する IBnF ビットがセットされます。IBF フラグ ビットは、全バッファに書き込まれるとセットされます。いずれかのバッファが書き込まれて IBnF = 1 とのとき、次の書き込みストロブでそのバッファを指定すると OBUF イベントが発生し、そのバイトは破棄されます。

図 13-8: パラレルスレーブ ポートの 書き込み波形



13.3.3.3 割り込み動作

アドレス指定 PSP モードでは、モジュールは読み出しまたは書き込みごとに割り込みを生成するように構成できます。また、読み出しバッファ3を読み出し、または書き込みバッファ3に書き込みする都度割り込みを生成するようにも構成できます。つまり、言い換えると PMA<1:0> ピンが「11」であるとき読み出しまたは書き込みが発生すると割り込みが発生します。

13.4 マスター ポート モード

マスター モードのとき、メモリ デバイスや周辺モジュール、スレーブのマイクロコントローラのような種々の外部パラレル デバイスの動作ができるよう、PMP モジュールは 8 ビット データ バス、16 ビットまでのアドレス、必要な制御信号のすべてを提供します。PMP をマスターとして使用するには、モジュールを有効 (PMPEN = 1) にして、モードを 2 つの可能なマスター モードのいずれかにセットする必要があります (PMMODE<9:8> = 10 または 11)。

多種のパラレル デバイスがあり種々の制御手法を持っていますから、PMP モジュールは非常に柔軟で広範囲の構成に対応できるように設計されています。これらの特徴には次のようなものがあります。

- 8 ビット データ バスで 8 と 16 ビットのデータ モード
- アドレスとデータの多重化構成
- 最大 2 本までのチップ選択ライン
- 16 本まで選択可能なアドレス ライン
- アドレスの自動インクリメントと自動デクリメント
- 全制御ラインの極性選択可
- 読み出し / 書き込みサイクルの異なるステージにおける構成可能なウェイト ステート

13.4.1 パラレル マスター ポート構成のオプション

13.4.1.1 チップ選択

最大 2 本までのチップ選択ラインの PMCS1 と PMCS2 が PMP のマスター モードで利用できます。2 つのチップ選択ラインは、アドレス バスの最上位ビット (PMA<14> と PMA<15>) と多重化されています。ピンがチップ選択として構成されると、アドレス自動インクリメント / デクリメントは含まれません。チップ選択信号の機能は、チップ選択機能ビットである CSF<1:0> (PMCON <7:6>) を使用して構成します。

13.4.1.2 ポート ピンの制御

いくつかのビットにより、モジュールの制御とアドレス信号の有無を構成できます。これらのビットには PTRBEEN、PTWREN、PTRDEN、PTEN<15:0> があります。これらにより、ユーザーがピンを他の用途に残しておくことで、外部アドレスの制御を柔軟にできます。これらのいずれかのビットがセットされると、対応する機能が対応するピンに現れ、クリアすると対応するピンは決められた I/O ポート ピン機能に戻ります。

PTENx ビットをセットすると、対応するピンをアドレス ピンとして有効化し、PMADDR レジスタの内容で対応するデータを駆動します。PTENx ビットをクリアすると、ピンを当初の I/O 機能に戻すようにします。

ピンが対応する PTENx ビットがセットされてチップ選択 (PMCS1 または PMCS2) として構成されると、チップ選択ピンは、読み出しまたは書き込み動作が実行されない場合、非アクティブなデータで駆動されます (PMCON の CSxP ビットをとおして構成)。また、PTEN0 と PTEN1 ビットは、PMALL と PMATH 信号も制御します。多重化を使用する場合は、対応するアドレス ラッチを有効にして下さい。

13.4.1.3 アドレス多重化

いずれかのマスター モードのとき (MODE1:MODE0 = 1x)、ユーザーはアドレス バスをデータ バスと多重化させる構成ができます。これは ADRMUX1:ADRMUX0 ビットを使用して構成できます。3 つのアドレス多重モードが有効です。これらのモードの典型的なピン配置構成を図 13-9、図 13-10、図 13-11 に示します。

非多重化モード (ADRMUX1:ADRMUX0 = 00) では、データとアドレス情報は完全に分離されます。データ ビットは PMD<7:0> に、アドレス ビットは PMA<15:0> に現れます。

部分多重化モード (ADRMUX1:ADRMUX0 = 01) では、アドレスの下位 8 ビットがデータピン PMD<7:0> と多重化されます。アドレスの上位 8 ビットは影響されず PMA<15:8> に現れます。PMA<0> ピンは、アドレス ラッチ用に使用され、アドレス下位ラッチ イネーブル ストローブ (PMALL) とされます。アドレスが PMD<7:0> ピンに現れると、読み出しと書き込みシーケンスは CPU 1 サイクル分だけ延長されます。 .

完全な多重化モード (ADRMUX1:ADRMUX0 = 10) では、アドレス全体の 16 ビットがデータピンの PMD<7:0> に多重化されます。PMA<0> と PMA<1> ピンは、それぞれアドレス下位ラッチイネーブル (PMALL) とアドレス上位ラッチイネーブル (PMALH) のストローブとして使用されます。読み出しおよび書き込みシーケンスは、2CPU サイクルだけ延長されます。最初のサイクルの間に、PMALL ストローブをアクティブとすることでアドレスの下位 8 ビットが PMD<7:0> ピンに現れます。2 つ目のサイクルの間に、PMALH ストローブをアクティブとすることでアドレスの上位 8 ビットが PMD<7:0> ピンに現れます。このイベントでアドレスの上位ビットがチップ選択ピンとして構成され、対応するアドレスビットが自動で強制的に「0」とされます。

種々の多重化モードのタイミング例については 13.4.5 章「マスターモードのタイミング」を参照して下さい。

図 13-9: 非多重化アドレスモード (読み出しと書き込みストローブ、2つのチップ選択は別々)

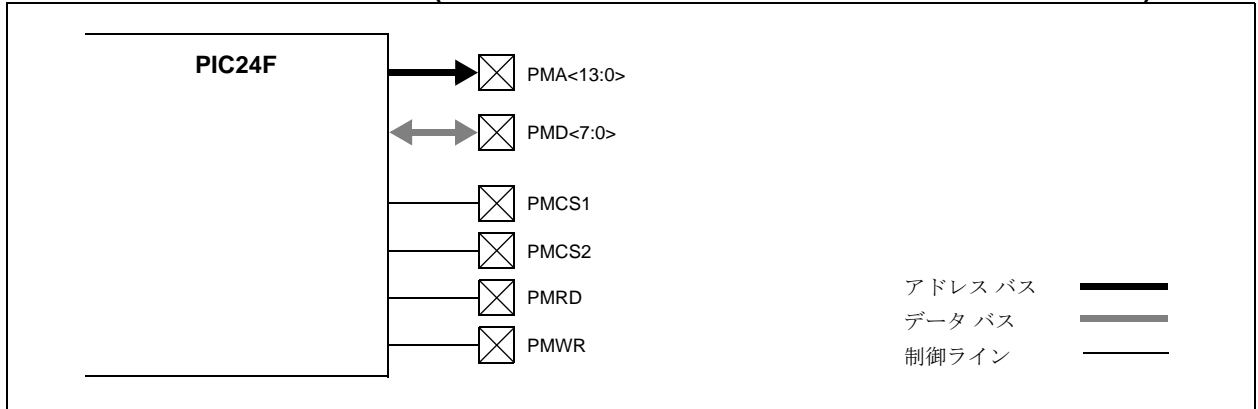


図 13-10: 部分多重化アドレスモード (読み出しと書き込みストローブ、2つのチップ選択は別々)

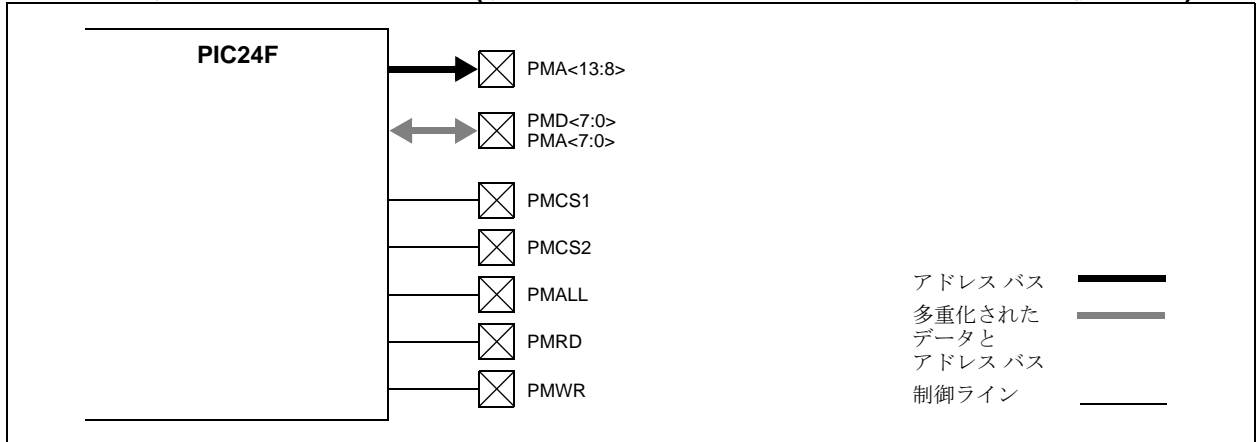


図 13-11: フル多重化アドレスモード (読み出しと書き込みストローブ、2つのチップ選択は別々)

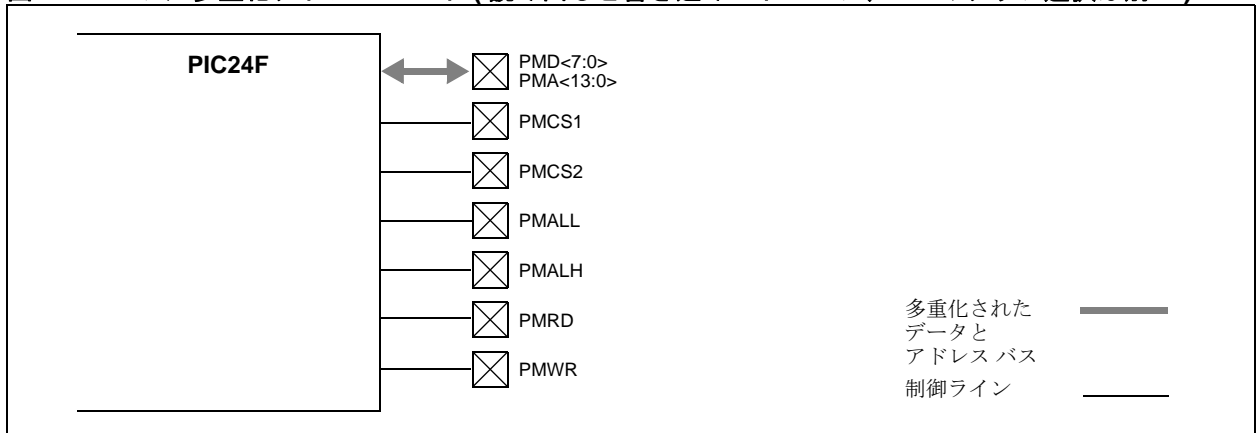
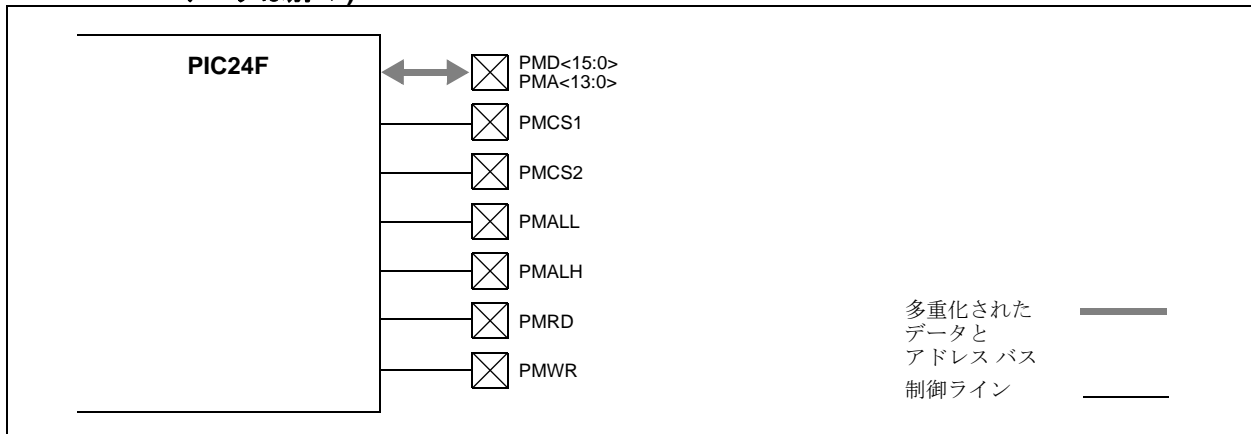


図 13-12: フル多重化アドレス モード (読み出しと書き込みストロープ、2つのチップ選択、16 ビットデータは別々)



13.4.1.4 8 ビットと 16 ビット データ モード

PMPは8ビットと16ビットの両方のデータ幅をサポートしています。データ幅は、MODE16ビットで選択されます。モジュールへの入出力のデータバスが8ビット幅なので、16ビット動作は常にデータの下位バイトを先とする多重化形式で扱われます。データバイトを区別するため、バイトイネーブル制御ストロープのPMBEがデータの上位バイトがデータラインにあるときに合図するように使用されます。

13.4.1.5 読み出し / 書き込み制御

PMPモジュールは2種類の読み出し / 書き込み方式をサポートしています。マスターモード1の場合は、読み出しと書き込みストロープは1つの制御信号ラインPMRD/PMWRに結合され、2つ目の制御ラインPMENBが読み出しか書き込みのいずれが実行中かを区別します。マスターモード2の場合は、読み出しと書き込みのストロープ (PMRD と PMWR) が分離され別々のピンで供給されます。

13.4.1.6 制御ラインの極性

すべての制御信号 (PMRD、PMWR、PMBE、PMENB、PMAL、PMCSx) は個々に正か負の極性のいずれかに構成できます。構成はPMCONレジスタ内の個別のビットで制御されます。同一の出力ピンを共用している制御信号 (例えばPMWRとPMENB) は、同一のビットで制御されることに注意して下さい。構成はどのマスターポートモードで使用されるかによります。

13.4.1.7 自動インクリメント / デクリメント

モジュールがマスターモードのいずれかで動作しているときは、INCMビット (PMMODE<12:11>) がアドレスの値の動きを制御します。アドレスは読み出しまたは書き込み動作完了ごとに自動的にインクリメントまたはデクリメントされます。アドレスインクリメントは動作完了ごとに1回行われ、BUSYビットが「0」になります。チップ選択信号が無効でアドレスビットとして構成されている場合には、そのビットも一緒にインクリメントあるいはデクリメントされます。それ以外の場合は、CS2とCS1ビットの値は影響されません。

13.4.1.8 ウェイト ステート

マスター モードのとき、ユーザーが読み出し、書き込み、アドレス サイクルの期間をモジュール ウェイト ステートを Tcy 単位で構成することで制御できます。サイクルの始め、中央、終わりの 3 箇所は、それぞれ PMMODE レジスタの対応する WAITBx、WAITMx、WAITEx ビットを使用して構成します。

WAITB<1:0> ビット (PMMODE<7:6>) でデータ セットアップのウェイト サイクル数を、Mode 10 のときは PMRD/PMWT ストロープ前に、Mode 11 のときは PMENB ストロープ前に設定します。

WAITM<3:0> ビット (PMMODE<5:2>) でウェイト サイクル数を、Mode 10 のときは PMRD/PMWT ストロープ用に、Mode 11 のときは PMENB ストロープ用に設定します。このウェイト設定を 0 にすると、WAITBx と WAITEx は無効となります。

WAITE<1:0> ビット (PMMODE<1:0>) でデータ保持のウェイト サイクル数を、Mode 10 のときは PMRD/PMWT ストロープ後からのウェイト サイクル数に、Mode 11 のときは PMENB ストロープ後からのウェイト サイクル数に設定します。

13.4.2 読み出し動作

パラレル ポートで読み出し動作を行うには、ユーザーは PMDIN1 レジスタの下位バイトを読み出します。これで PMP は希望する値をチップ選択ラインとアドレス バスに出力します。その後読み出しライン (PMRD) をストロープします。読み出しデータは PMDIN1 レジスタの下位バイトに配置されます。

16 ビットモードが有効化 (MODE16 = 1) された場合は、PMDIN1 レジスタの下位バイトを読み出すと 2 回のバスの読み出しが行われます。最初に読み出したデータ バイトは、PMDIN1 レジスタの下位バイトに配置され、2 回目の読み出しデータは PMDIN1 の上位バイトに配置されます。

PMDIN1 レジスタから取得した読み出しデータは、実際には前の読み出し動作で読み出した値であることを留意して下さい。したがって、最初のユーザー読み出しはダミー読み出しとして、最初のバス読み出しを起動して読み出しレジスタに格納するようにします。また、要求した読み出し値は、BUSY ビットが Low になるまでは用意されません。したがって、データ読み出しを連続して行くと、レジスタから読み出したデータは同じものとなります。次のレジスタ読み出しで新しい値となります。

13.4.3 書き込み動作

パラレルバスに書き込むには、ユーザーは PMDIN1 レジスタの下位バイトに書き込みます。これでモジュールがチップ選択ラインとアドレスバスに希望する値をまず出力します。PMDIN1 レジスタの下位バイトから書き込んだデータが PMD<7:0> データバスに出力されます。次に書き込みライン (PMWR) をストロープします。

16 ビットモードが有効化 (MODE16 = 1) された場合は、PMDIN1 レジスタの下位バイトへの書き込みが 2 回のバス書き込みを起動します。最初の書き込みには PMDIN1 の下位バイトのデータが含まれ、2 回目の書き込みには PMDIN1 の上位バイトが含まれます。

13.4.4 パラレル マスター ポート ステータス

13.4.4.1 BUSY ビット

PMP 割り込みに加えて BUSY ビットがモジュールのステータスを示すために提供されています。このビットはマスターモードでのみ使用されます。

何らかの読み出しか書き込み動作が進行中の間、動作最後の CPU サイクルを除いてずっと BUSY ビットがセットされます。したがって単一サイクルの読み出しまたは書き込み動作の場合には、BUSY ビットはアクティブになりません。これで連続転送を可能とします。これは、ウェイトステートが有効か、アドレス/データ多重化が選択されている場合のみ有益となります。

このビットがセットされている間、ユーザーによるあらゆる動作要求は無視されます (例えば、PMDIN1 レジスタの下位バイトの読み出しまたは書き込みをしても、読み出しも書き込みも行われません)。ユーザーは BUSY フラグがクリアされてから再度行う必要があります。

13.4.4.2 割り込み

マスターモードで PMP モジュールの割り込みが有効化されると、モジュールは読み出しまたは書き込みサイクル完了ごとに割り込みを生成します。割り込みを使わない場合は、BUSY ビットでモジュールのステータスを尋ねるのに使用できます。

13.4.5 マスターモードのタイミング

本項にはいくつかのタイミング例が含まれており、それらは共通のマスターモード構成オプションとなっています。これらのオプションとは、8ビットまたは16ビットデータ、アドレスの完全非多重化と完全多重化、ウェイトステートも同じです。

注：Pクロックとシステムクロックサイクルの関係については、図13-3と図13-4を参照して下さい。

図13-13: 読み出しと書き込みのタイミング、8ビットデータ、アドレス非多重化

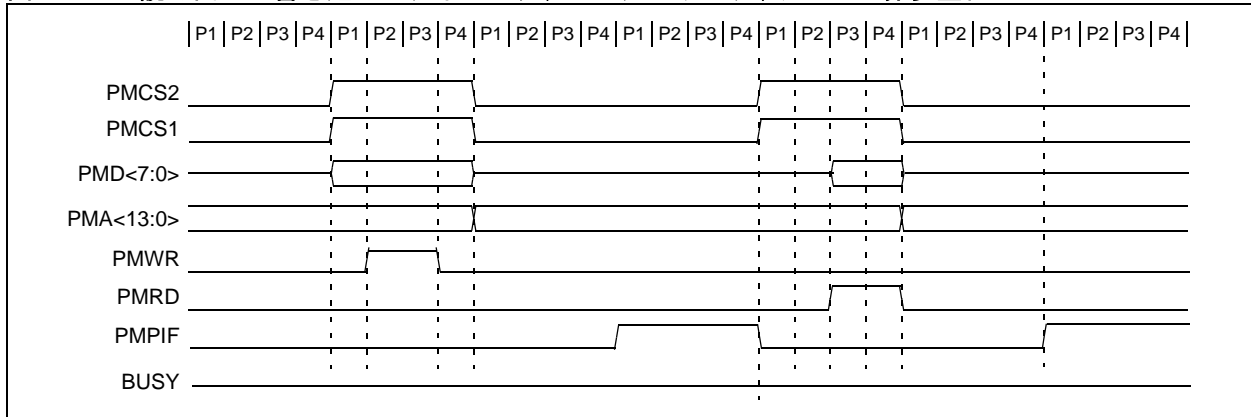


図13-14: 読み出しのタイミング、8ビットデータ、アドレス一部多重化

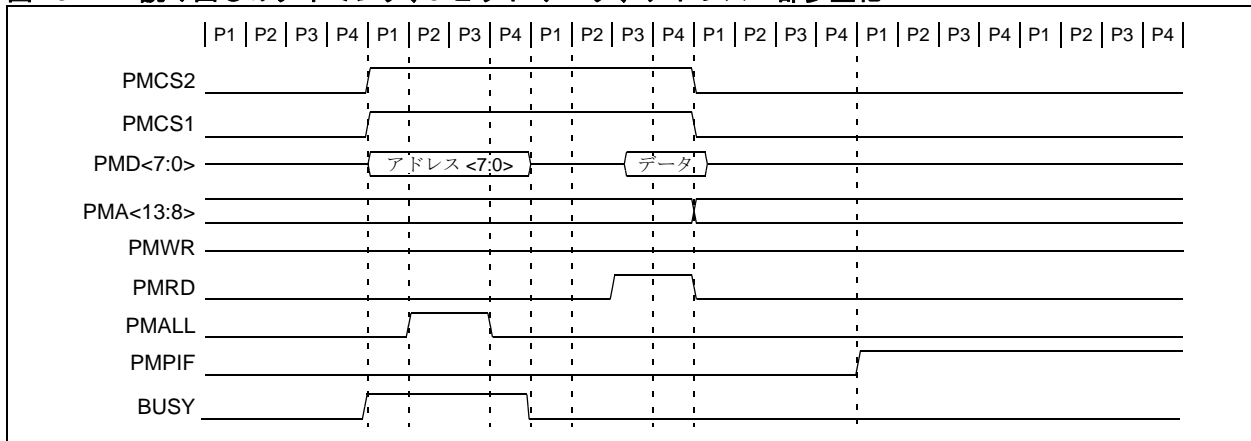


図13-15: 読み出しのタイミング、8ビットデータ、ウェイトステート有効、アドレス一部多重化

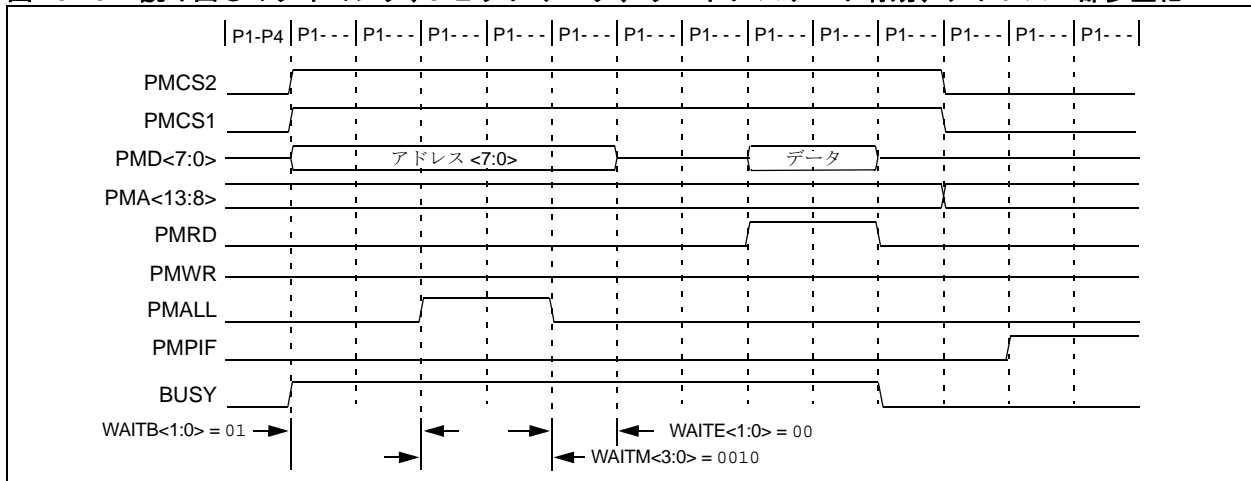


図 13-16: 書き込みのタイミング、8 ビット データ、アドレス一部多重化

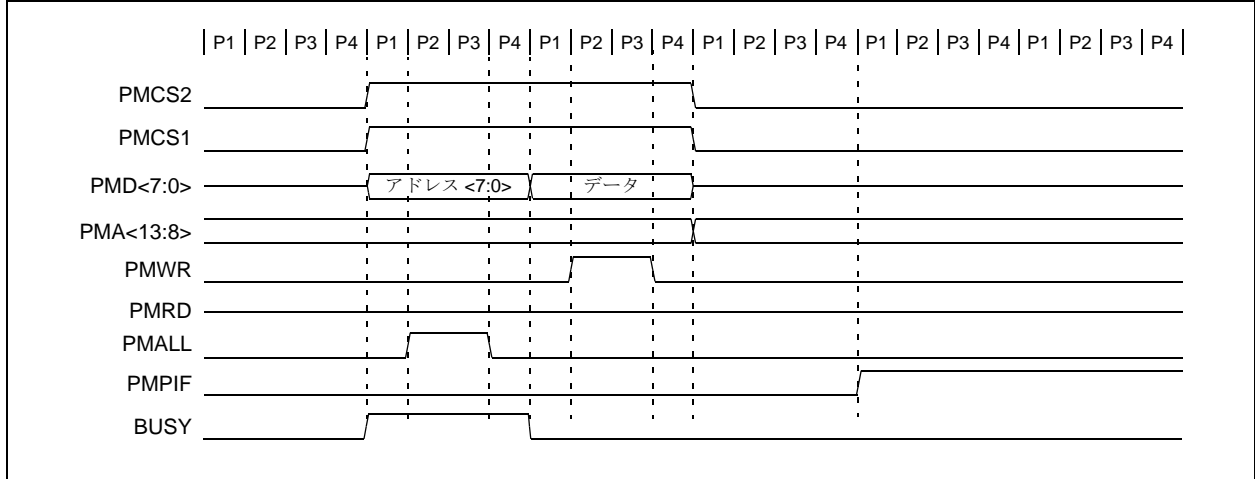


図 13-17: 書き込みのタイミング、8 ビット データ、ウェイト ステート有効、アドレス一部多重化

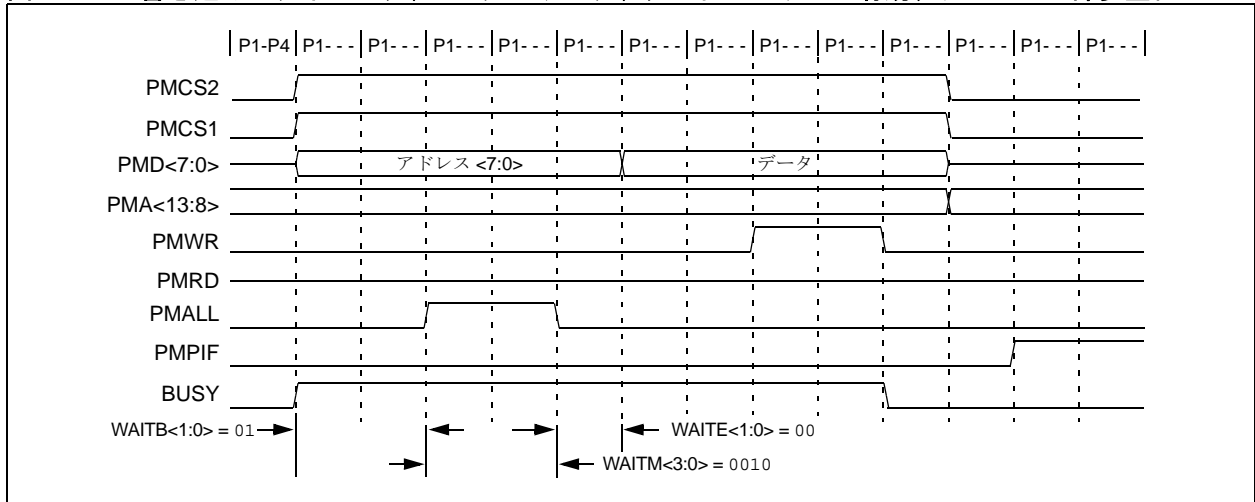


図 13-18: 読み出しのタイミング、8 ビット データ、アドレス一部多重化、ストローブ有効化

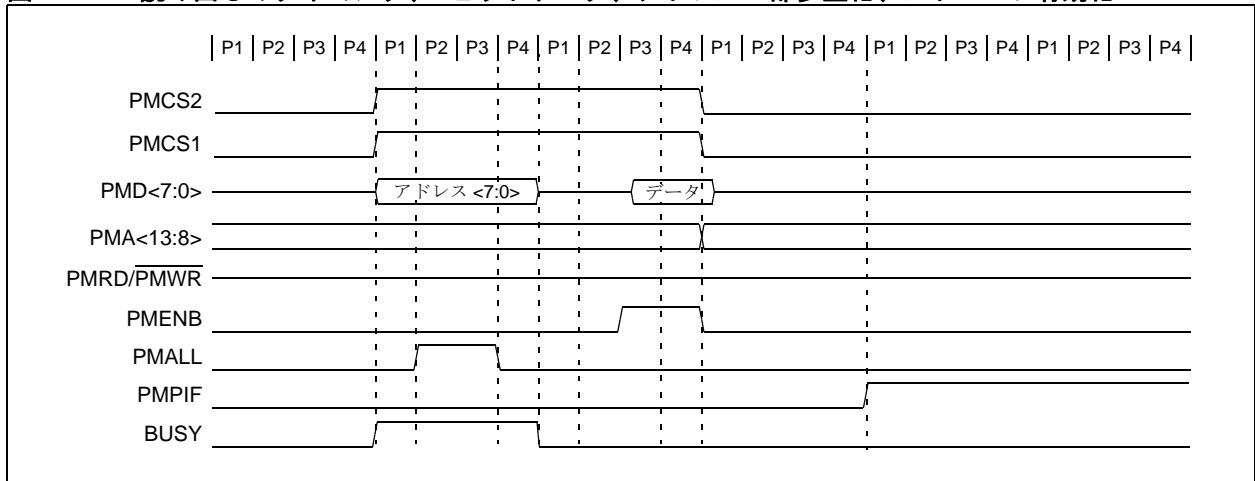


図 13-19: 書き込みのタイミング、8 ビット データアドレス一部多重化、ストローブ有効化

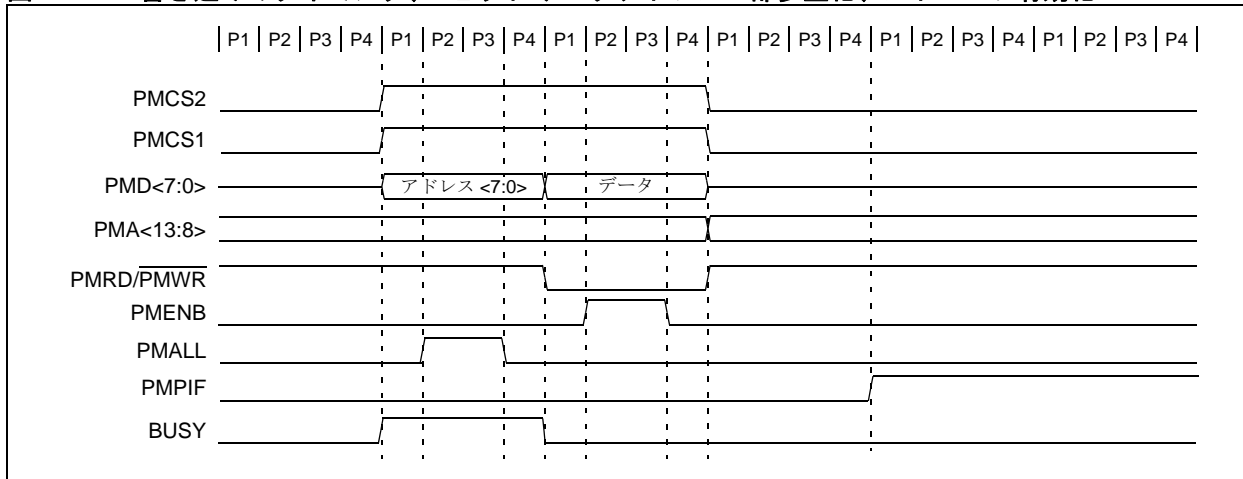


図 13-20: 読み出しのタイミング、8 ビット データ、16 ビットアドレス 完全多重化

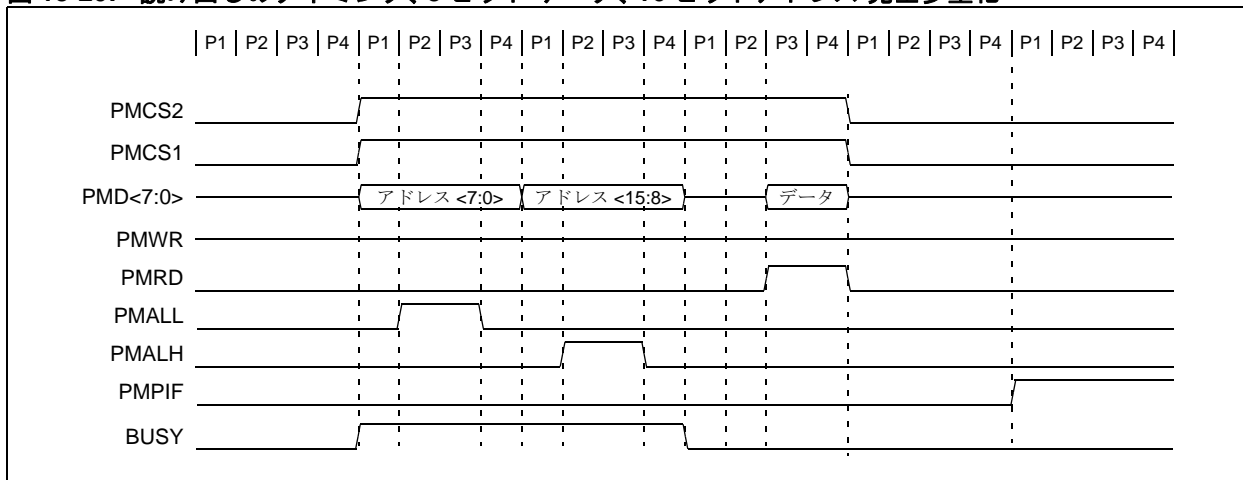


図 13-21: 書き込みのタイミング、8 ビット データ、16 ビットアドレス完全多重化

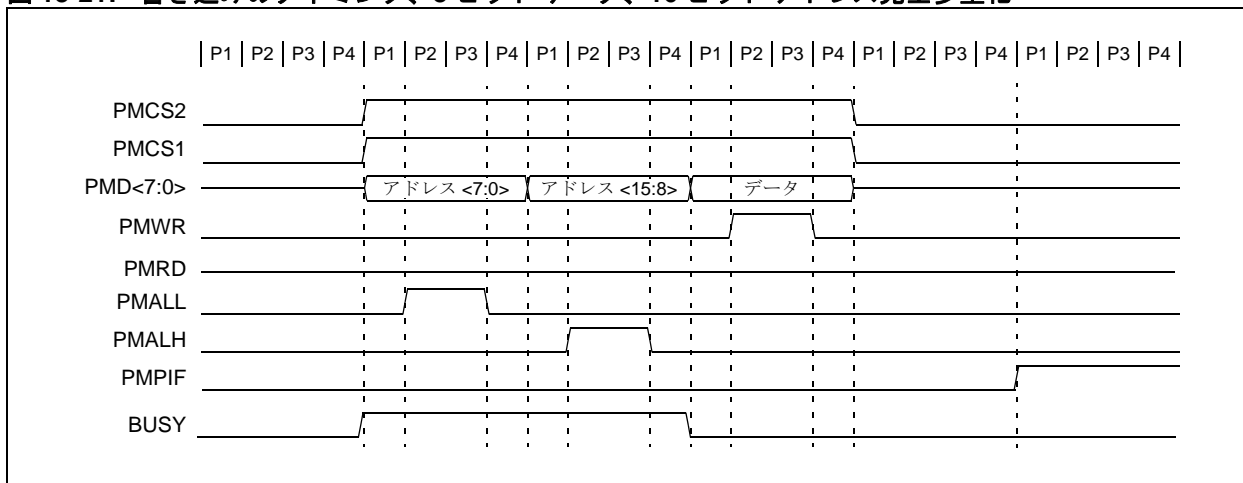


図 13-22: 読み出しのタイミング、16 ビット データ、アドレス非多重化

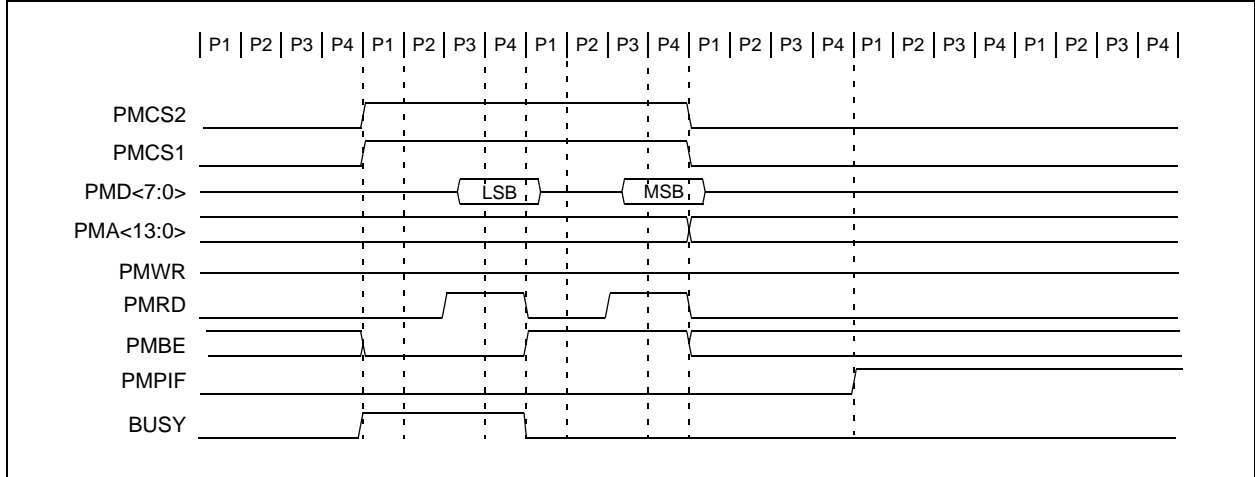


図 13-23: 書き込みのタイミング、16 ビット データ、アドレス非多重化

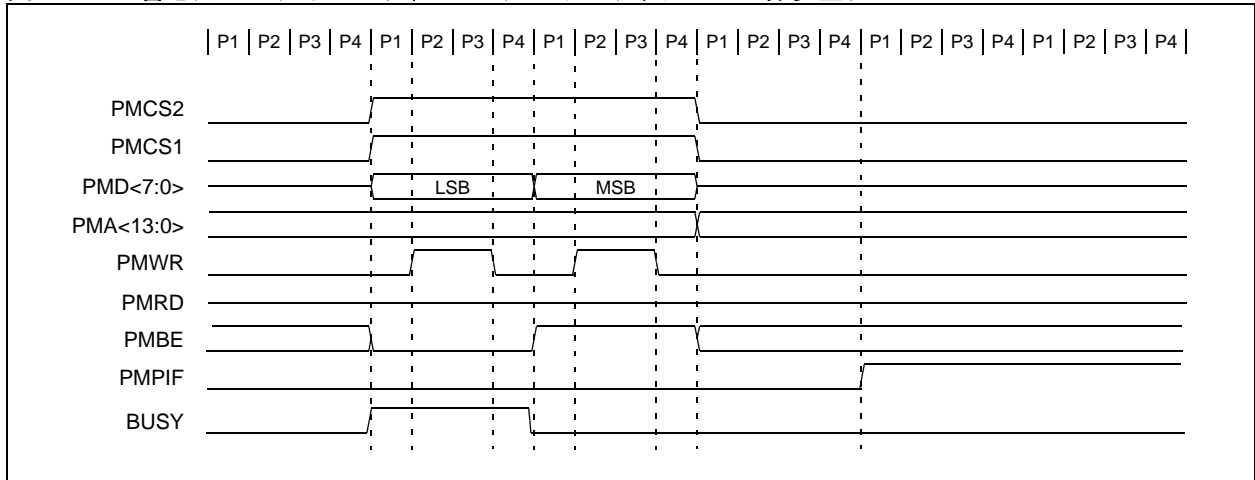


図 13-24: 読み出しのタイミング、16 ビット データ多重化、アドレス一部多重化

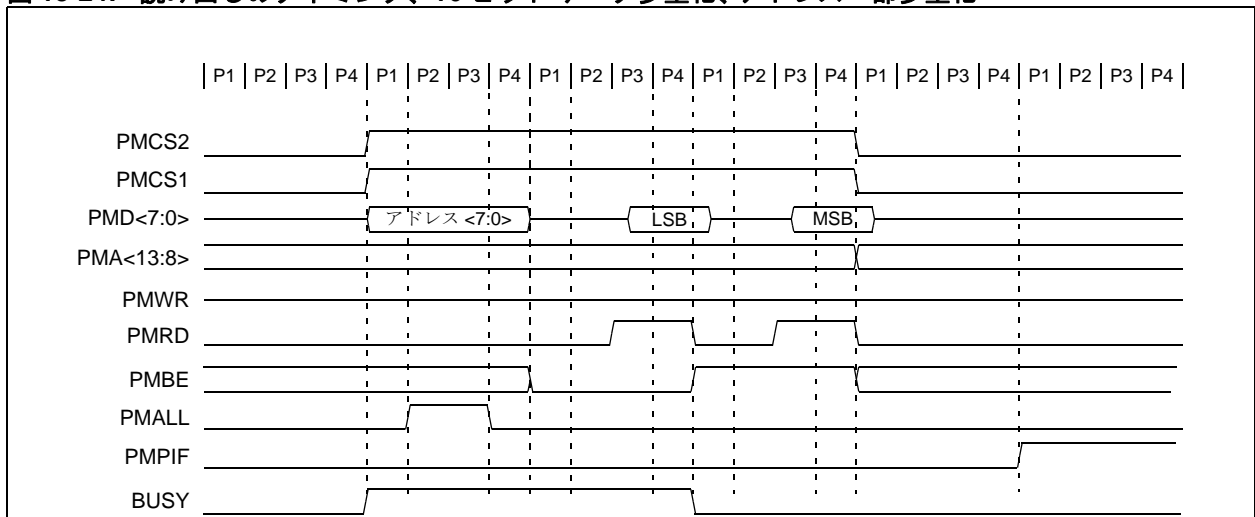


図 13-25: 書き込みのタイミング、16 ビットデータ多重化、アドレス一部多重化

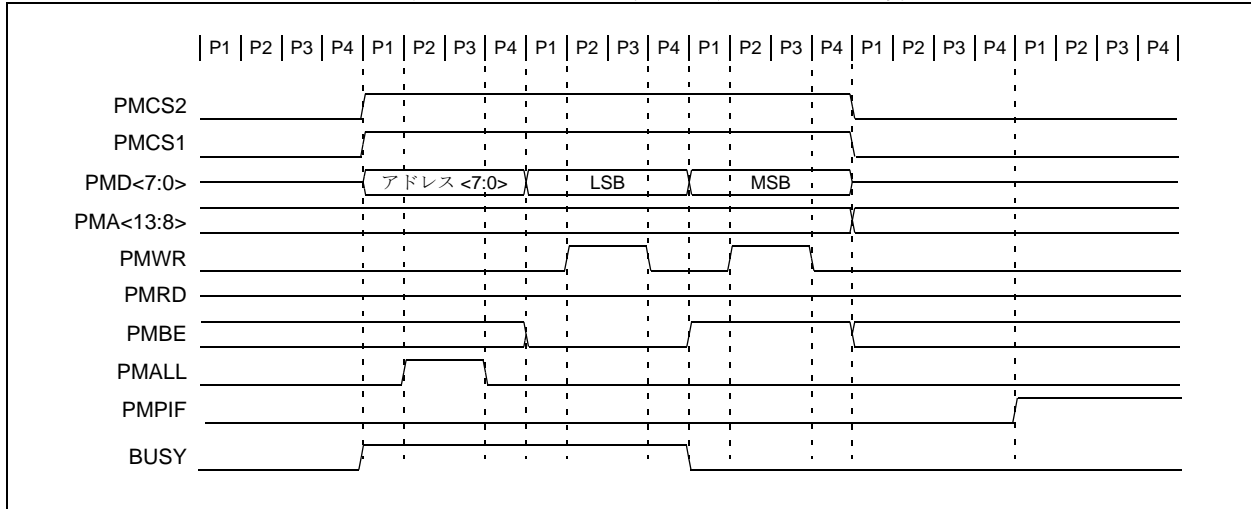


図 13-26: 読み出しのタイミング、16 ビットデータ多重化、16 ビットアドレス完全多重化

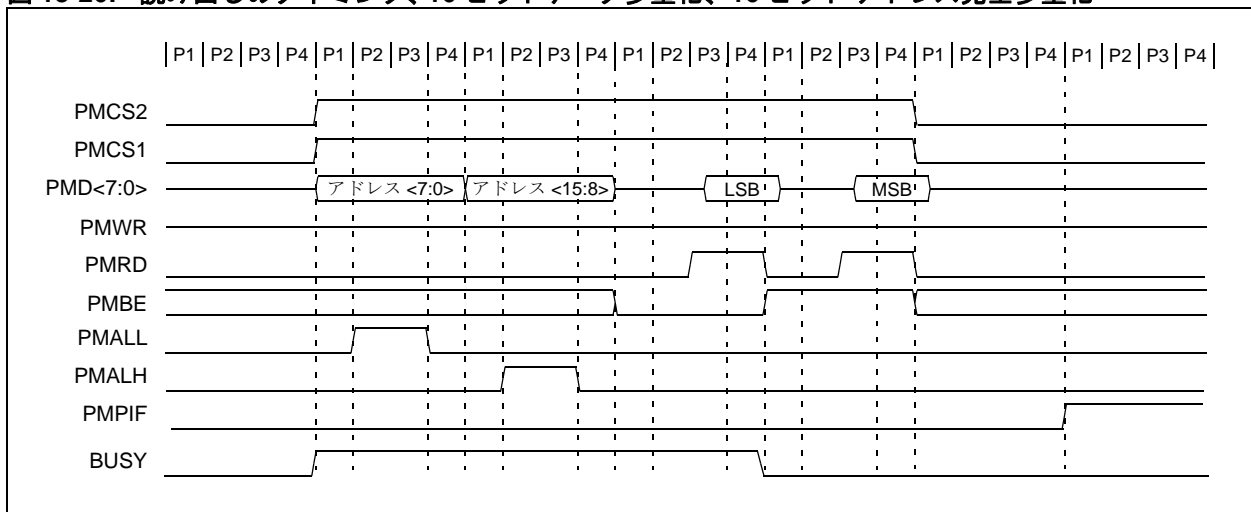
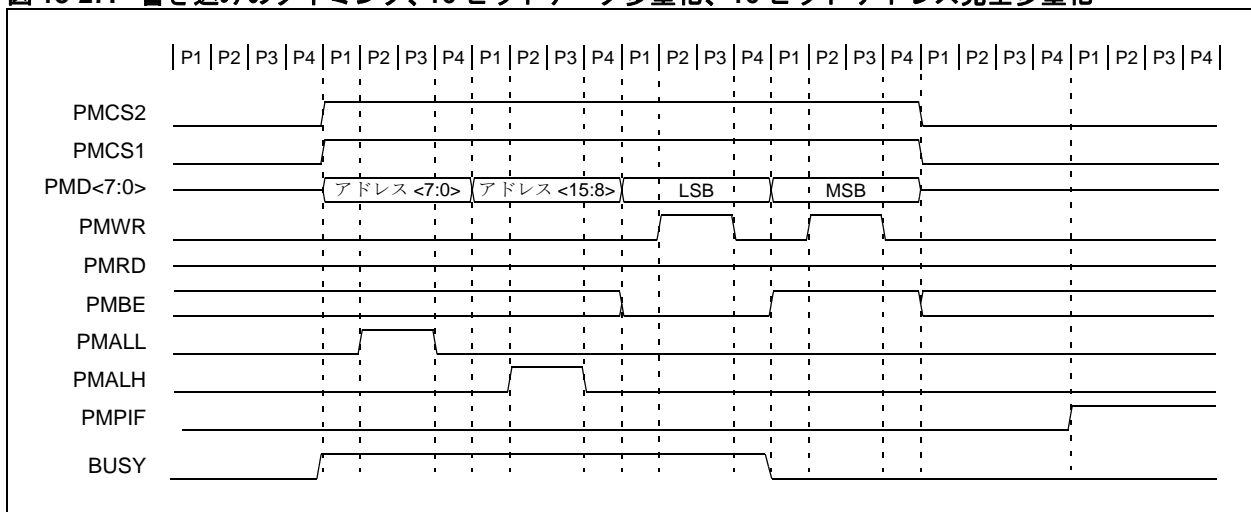


図 13-27: 書き込みのタイミング、16 ビットデータ多重化、16 ビットアドレス完全多重化



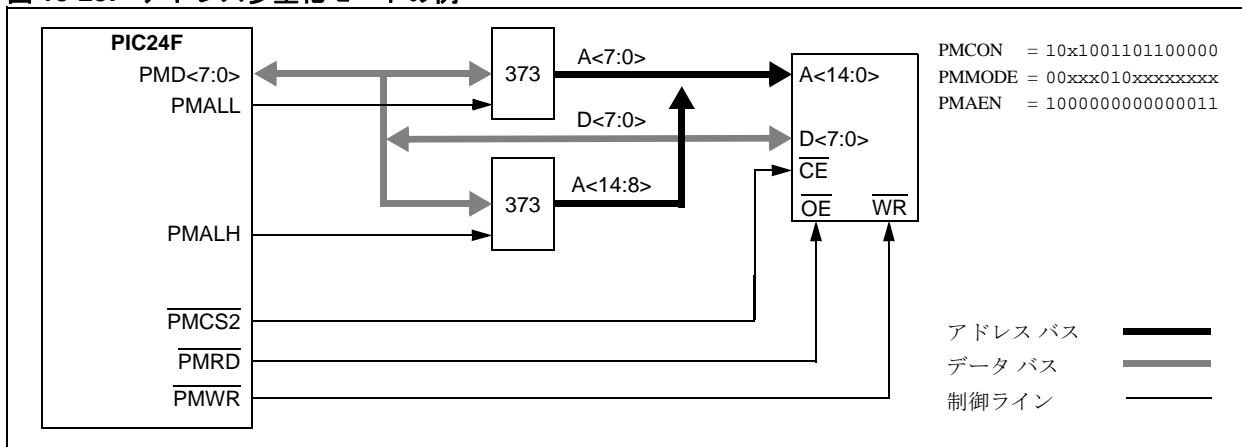
13.5 アプリケーション例

本項では PMP モジュールの可能性のあるいくつかのアプリケーションを紹介します。

13.5.1 多重化のメモリまたは周辺モジュール

図 13-28 は完全多重化モードのメモリや他の周辺モジュールとの接続方法を示しています。結果的にこのモードがマイクロコントローラ側の最良のピン節約を達成しています。しかし、この構成では、アドレスを保持するためにいくつかの外付けのラッチを必要とします。

図 13-28: アドレス多重化モードの例



13.5.2 一部多重化のメモリまたは周辺モジュール

一部多重化のときはより多くのピンが必要ですが、わずかの追加ピンで追加の性能を達成できます。図 13-29 に外部ラッチと一部多重化したメモリまたは周辺モジュールの例を示します。周辺モジュールがラッチ内蔵であれば、周辺モジュール自身以外に外付けの回路は不要となります (図 13-30 に示す)。

図 13-29: アドレス一部多重化モードの例

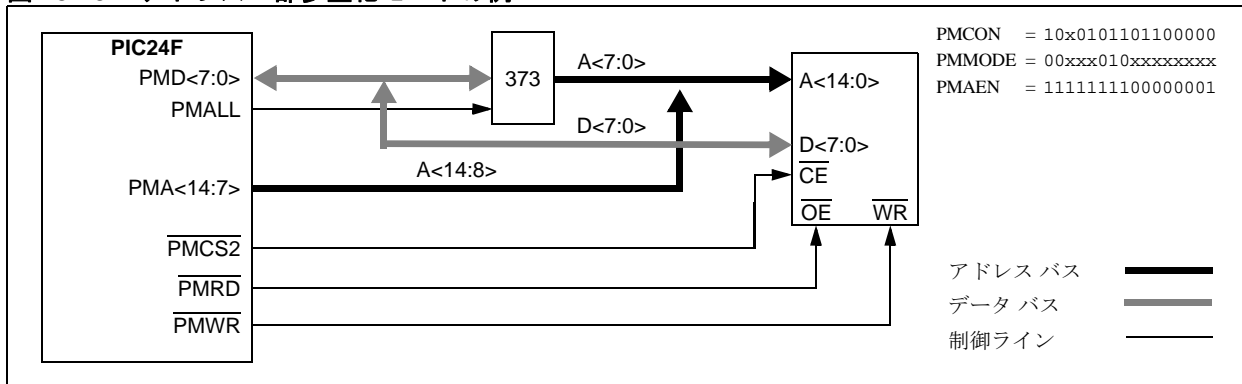
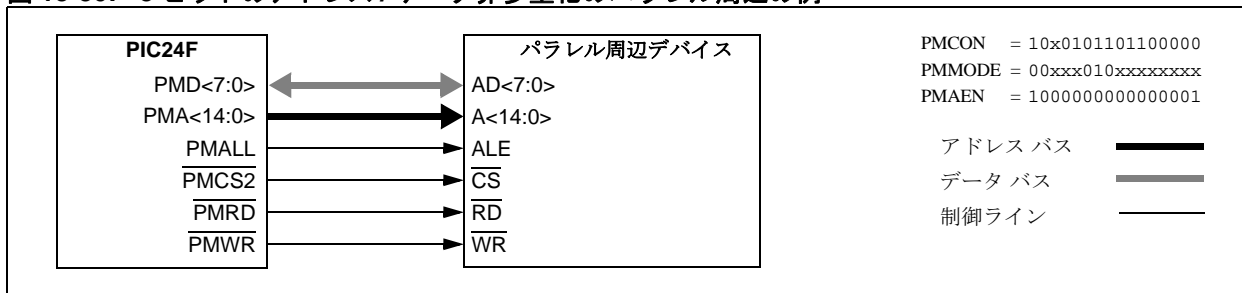


図 13-30: 8 ビットのアドレス / データ非多重化の平行周辺例



13.5.3 パラレルフラッシュ/EEPROMの例

図 13-31 は、パラレルフラッシュ/EEPROM と PMP の接続例を示します。図 13-32 は、これのちょっとした変化の例で、1 バイトのアドレス指定フラッシュ/EEPROM と 16 ビットデータで接続した例を示します。また、図 13-33 はバイト選択ロジックを使用しない 16 ビットデバイスとのインターフェース例を示します。

図 13-31: パラレルフラッシュ/EEPROMの例 (15 ビットアドレス)、8 ビットデータ

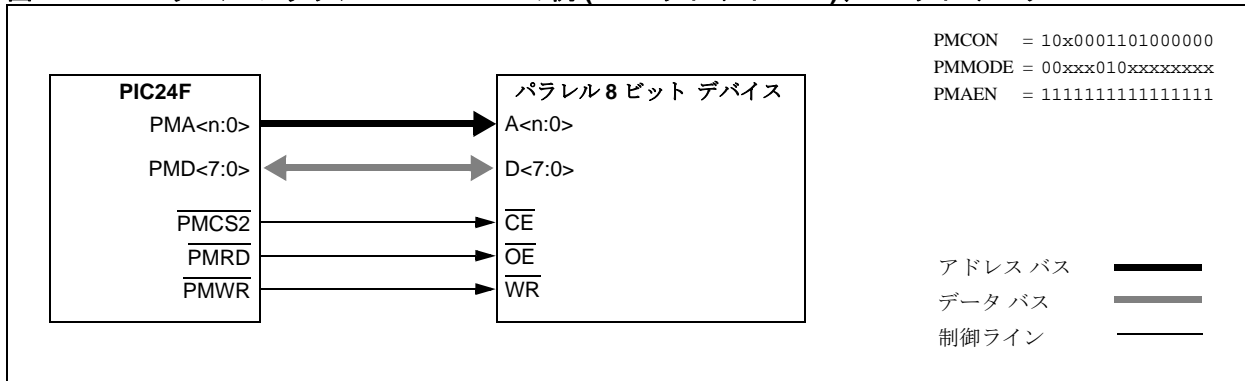


図 13-32: パラレルフラッシュ/EEPROMの例 (15 ビットアドレス)、16 ビットデータ (バイト選択モード)

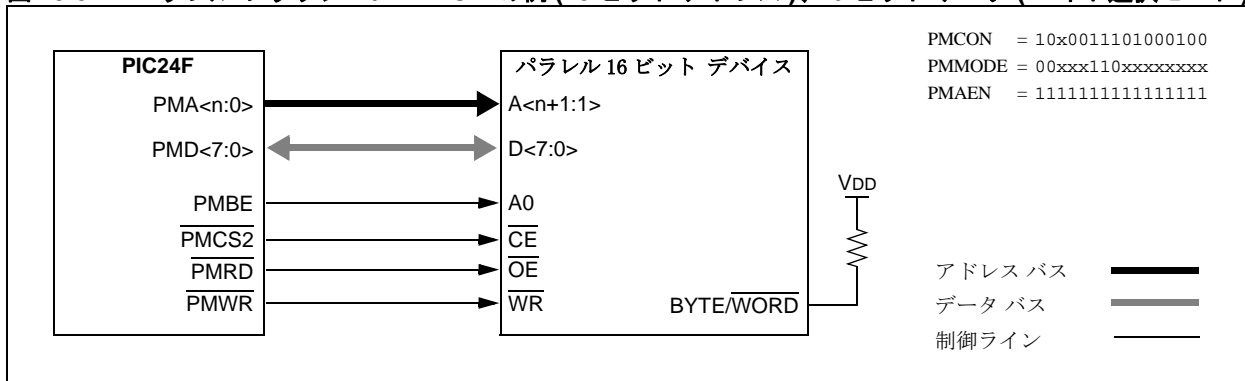
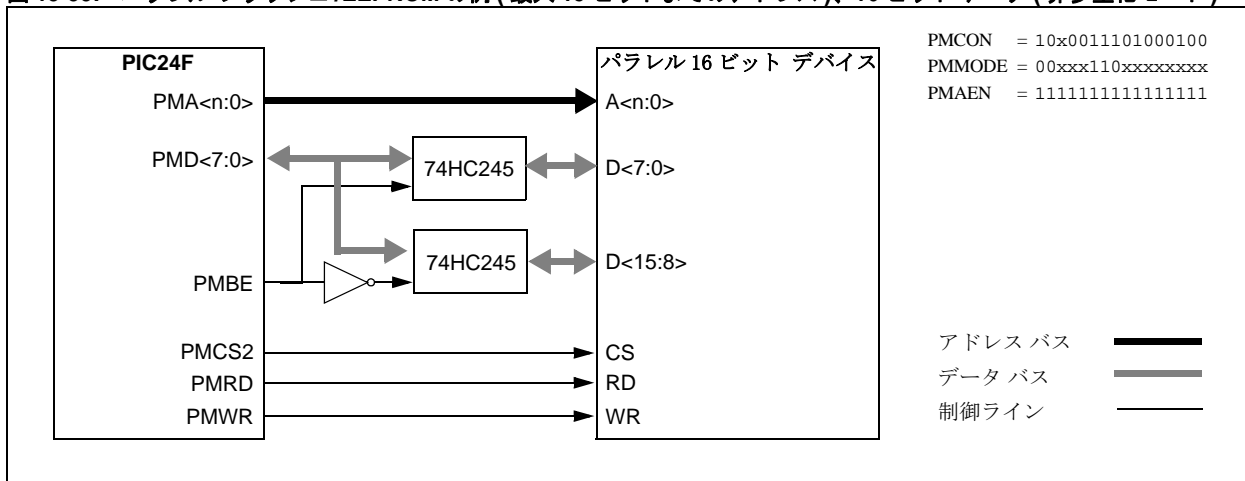


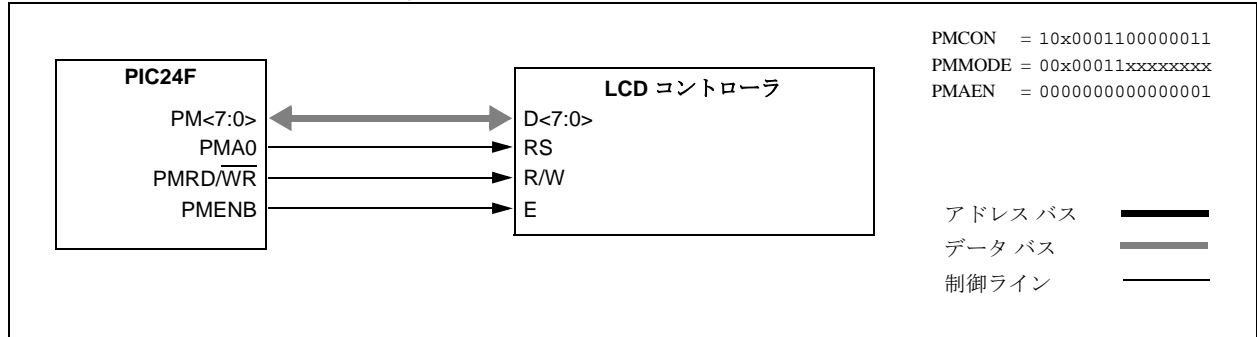
図 13-33: パラレルフラッシュ/EEPROMの例 (最大 15 ビットまでのアドレス)、16 ビットデータ (非多重化モード)



13.5.4 LCD の制御例

PMP モジュールは図 13-34 に示すように、標準的な LCD コントローラ インターフェースと接続構成することもできます。この場合、LCD ディスプレイが共通的にアクティブ High の制御となっていますので、PMP モジュールはアクティブ High の制御信号として構成されます。

図 13-34: バイトモード LCD 制御例



13.6 省電力モードでの動作

PIC24F ファミリ デバイスは、3 種の電力モードを持っています。それは通常動作 (フルパワー) モードと PWRSAV 命令で指定される 2 種の省電力モードです。選択されたモードにより、省電力モードに入るとモジュールの動作に影響します。

13.6.1 スリープモード

デバイスがスリープモードに入ると、システムクロックが無効となります。スリープモードの結果は、スリープモードになるときモジュールがどのモードに構成されていたかによります。

13.6.1.1 マスターモードの動作

モジュールがマスターモードで動作しているときマイクロコントローラがスリープモードに入ると、PMP 動作はクロックが復旧するまでそのときの状態で中断されます。これにより、制御ピンのタイミングは思わぬ結果となりますので、ユーザーはモジュールを連続使用する場合にはスリープモードに入るのを避けるようにして下さい。

13.6.1.2 スレーブモードの動作

モジュールが非アクティブでも、どのスレーブモード動作も有効で、このときマイクロコントローラのクロックを使わずに読み出しまたは書き込み動作が完了できます。動作が完了すると、モジュールは IRQM ビットの設定にしたがって割り込みを発生します。この割り込みでデバイスをスリープモードからウェイクできます。

13.6.2 アイドルモード

デバイスがアイドルモードに入っても、システムクロック源は機能したままです。PSIDL ビット (PMCON<13>) により、アイドル中にモジュールを停止するか、機能継続するかを選択します。PSIDL=1 の場合、モジュールはスリープモードと同じように動作します (つまりスレーブ受信はモジュールクロックが無くても依然有効で、マスターモードは中断します)。

PSIDL=0 の場合 (デフォルト) は、モジュールはアイドルモード中でも動作継続します。マスターでもスレーブモードでも現在の転送を完了し割り込みを生成します。

13.7 AC 電気的特性

図 13-35: パラレル スレーブ ポートのタイミング

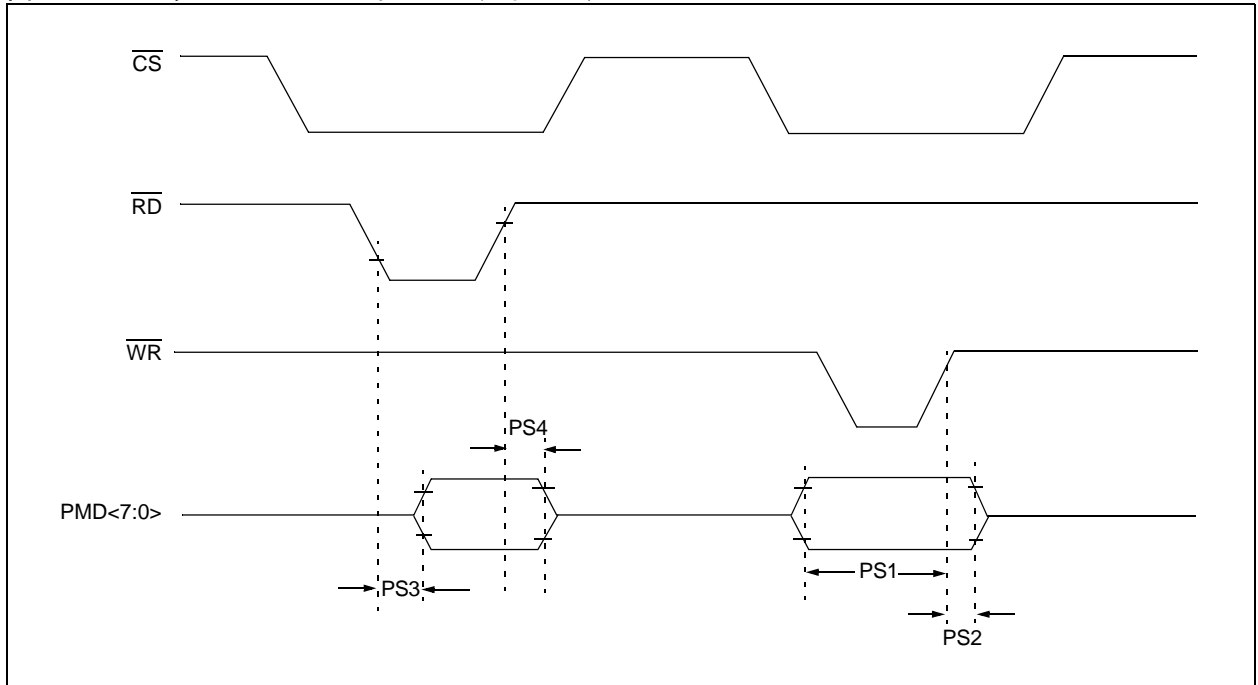


表 13-2: パラレル スレーブ ポートの要求

AC 特性		標準動作条件: 2.0V ~ 3.6V (特に記載のない限り) 動作温度範囲 -40°C ≤ TA ≤ +85°C 工業用					
パラメータ No	記号	特性	Min	Typ	Max	単位	条件
PS1	TdtV2wrH	WR または CS が非アクティブになる前のデータ有効期間 (セットアップ時間)	20	—	—	ns	
PS2	TwrH2dtl	WR または CS の非アクティブからデータ入力が非アクティブになるまで (ホールド時間)	20	—	—	ns	
PS3	TrdL2dtV	RD と CS アクティブからデータ出力有効まで	—	—	80	ns	
PS4	TrdH2dtl	RD アクティブまたは CS 非アクティブからデータ出力非アクティブまで	10	—	30	ns	

図 13-36: パラレル マスター ポート 読み出しタイミング図

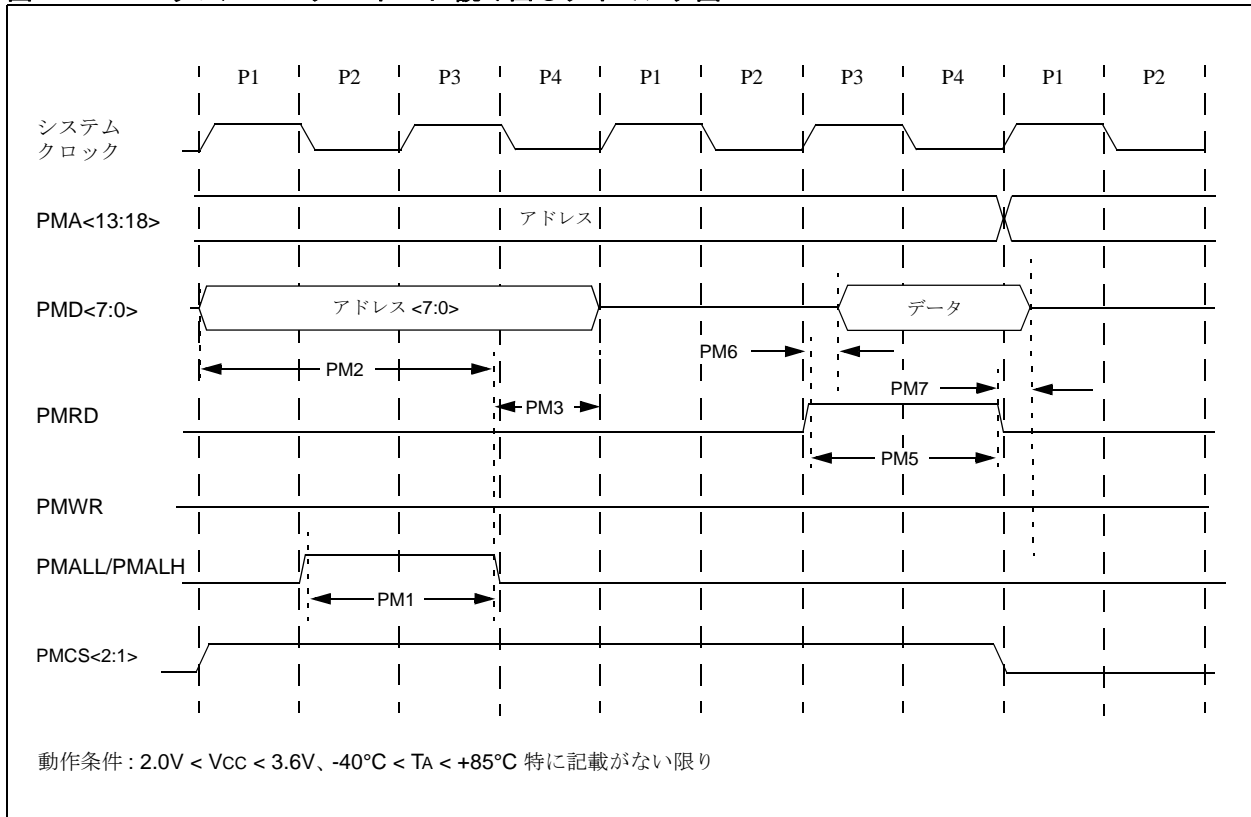


表 13-3: パラレル マスター ポート 読み出しのタイミング要求

AC 特性		標準動作条件: 2.0V ~ 3.6V (特に記載のない限り) 動作温度範囲 -40°C ≤ TA ≤ +85°C 工業用					
パラメータ No	記号	特性	Min	Typ	Max	単位	条件
PM1		PMALL/PMALH パルス幅	—	0.5 Tcy	—	ns	
PM2		アドレス出力有効から PMALL/PMALH 無効まで (アドレス セットアップ時間)	—	0.75 Tcy	—	ns	
PM3		PMALL/PMALH 無効からアドレス出力無効まで (アドレス ホールド時間)	—	0.25 Tcy	—	ns	
PM5		PMRD パルス幅	—	0.5 Tcy	—	ns	
PM6		PMRD または PMENB アクティブからデータ無効まで (データ セットアップ時間)	—	—	—	ns	
PM7		PMRD または PMENB 非アクティブからデータ無効まで (データ ホールド時間)	—	—	—	ns	

図 13-37: パラレル マスター ポート 書き込みタイミング図

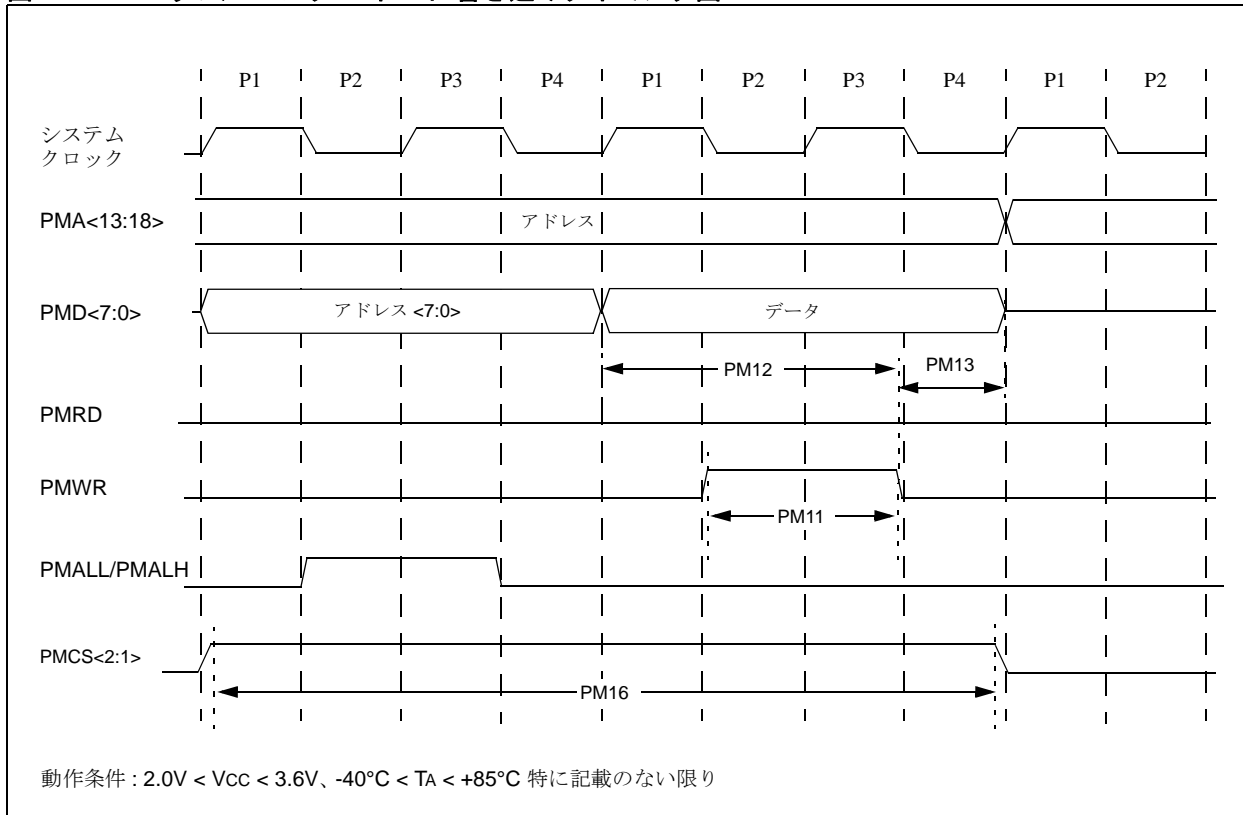


表 13-4: パラレル マスター ポート 書き込みタイミング要求

AC 特性		標準動作条件 : 2.0V ~ 3.6V (特に記載のない限り) 動作温度範囲 -40°C ≤ TA ≤ +85°C 工業用					
パラメータ No	記号	特性	Min	Typ	Max	単位	条件
PM11		PMWR パルス幅	—	0.5 Tcy	—	ns	
PM12		PMWR または PMENB が非アクティブになる前のデータ出力有効期間 (データセットアップ時間)	—	—	—	ns	
PM13		PMWR または PMEMB 無効からデータ出力無効まで (データホールド時間)	—	—	—	ns	
PM16		PMCSx パルス幅	Tcy - 5	—	—	ns	

13.8 レジスタ マップ

PMP モジュールに関連するレジスタのまとめを表 13-5 に示します。

表 13-5: パラレル マスター/スレーブ ポートレジスタ マップ⁽¹⁾

名称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット後の値	
PMCON	PMPEN	—	PSIDL	ADRMUX 1	ADRMUX 0	PTBEEN	PTWREN	PTRDEN	CSF1	CSF0	ALP	CS2P	CS1P	BEP	WRSP	RDSP	0000	
PMMODE	BUSY	IRQM1	IRQM0	INCM1	INCM0	MODE16	MODE1	MODE0	WAITB1	WAITB0	WAITM3	WAITM2	WAITM1	WAITM0	WAITE1	WAITE0	0000	
PMADDR ⁽²⁾	CS2	CS1	パラレル ポート アドレス (ADDR<13:0>)														0000	
PMAEN	PTEN15	PTEN14	PTEN13	PTEN12	PTEN11	PTEN10	PTEN9	PTEN8	PTEN7	PTEN6	PTEN5	PTEN4	PTEN3	PTEN2	PTEN1	PTEN0	0000	
PMSTAT	IBF	IBOV	—	—	IB3F	IB2F	IB1F	IB0F	OBE	OBUF	—	—	OB3E	OB2E	OB1E	OB0E	008Fh	
PMDIN1	パラレル ポート データ入力レジスタ 1 (バッファ レベル 0 と 1)																0000	
PMDIN2	パラレル ポート データ入力レジスタ 2 (バッファ レベル 2 と 3)																0000	
PMDOUT1 ⁽²⁾	パラレル ポート データ出力レジスタ 1 (バッファ レベル 0 と 1)																0000	
PMDOUT2	パラレル ポート データ出力レジスタ 2 (バッファ レベル 2 と 3)																0000	
PADCFG1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RTSESEL	PMPTTL	0000
PMD3	—	—	—	—	—	CMPMD	RTCCMD	PMPMD	CRCPMD	—	—	—	—	—	—	I2CMD	—	0000

凡例: — = 未実装、読むと '0'、色付きのビットはパラレル マスター ポート モジュールの動作では使用しない。

注 1: 特定のコア レジスタ マップの詳細については製品のデバイス データ シートを参照して下さい。

2: PMADDR と PMDOUT1 は同じ物理レジスタですが、モジュールの動作モードにより異なる定義となります。

13.9 関連するアプリケーションノート

ここでは、マニュアルのこの章に関連するアプリケーションノートをリストアップします。これらのアプリケーションノートは、特に PIC24F デバイス ファミリー専用ではありませんが、その概念は共通であり、変更、あるいは制限事項を考慮に入れて使用できます。現在、パラレル マスター ポート (PMP) モジュールに関連するアプリケーションノートは次の通りです。

タイトル	アプリケーションノート #
------	---------------

現在関連するアプリケーションノートはありません。

注: PIC24F ファミリー デバイスに関するその他のアプリケーションノートやコード例についてはマイクロチップ ウェブ サイト (www.microchip.com) をご覧下さい。

13.10 改版履歴

リビジョン A (2006 年 9 月)

本文書の初版リリース。